

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 8 月 2 7 日

出 願 番 号

Application Number:

平成 1 1 年特許願第 2 4 0 8 6 6 号

出 願 人

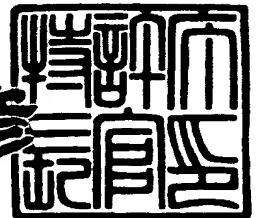
Applicant (s):

富士通株式会社

2 0 0 0 年 6 月 9 日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 4 2 5 4 5

【書類名】 特許願

【整理番号】 9940391

【提出日】 平成11年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 内堀 千尋

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704681

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 下地基板上に形成され、前記下地基板に達する開口部が形成された絶縁膜と、

前記開口部の内壁及び底部に形成されたバリア層と、

前記バリア層の表面に形成された Z r よりなる密着層と、

前記バリア層及び前記密着層が形成された前記開口部内に埋め込まれた銅を主成分とする配線層と

を有することを特徴とする半導体装置。

【請求項 2】 下地基板上に形成され、前記下地基板に達する開口部が形成された絶縁膜と、

前記開口部の内壁及び底部に形成された Z r よりなる密着層と、

前記密着層の表面に形成されたバリア層と、

前記密着層及び前記バリア層が形成された前記開口部内に埋め込まれた銅を主成分とする配線層と

を有することを特徴とする半導体装置。

【請求項 3】 請求項 1 又は 2 記載の半導体装置において、

前記開口部は、前記下地基板に達するビアホールと、前記ビアホールが形成された領域を含む領域に形成された配線溝とを含む

ことを特徴とする半導体装置。

【請求項 4】 下地基板上に、前記下地基板に達する開口部が形成された絶縁膜を形成する工程と、

前記絶縁膜上及び前記開口部の内壁及び底部にバリア層を形成する工程と、

前記バリア層上に Z r よりなる密着層を形成する工程と、

前記密着層上に C u よりなるシード層を形成する工程と、

前記シード層上に C u 膜を形成する工程と、

前記絶縁膜が露出するまで前記 C u 膜、前記シード層、前記密着層及び前記バリア層を平坦に除去し、前記開口部内に前記密着層及びバリア層を介して埋め込

まれた銅を主成分とする配線層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 5】 下地基板の上に、前記下地基板に達する開口部が形成された絶縁膜を形成する工程と、

前記絶縁膜上及び前記開口部の内壁及び底部に Z r よりなる密着層を形成する工程と、

前記密着層上にバリア層を形成する工程と、

前記バリア層上に C u よりなるシード層を形成する工程と、

前記シード層上に C u 膜を形成する工程と、

前記絶縁膜が露出するまで前記 C u 膜、前記シード層、前記バリア層及び前記密着層を平坦に除去し、前記開口部内に前記バリア層及び密着層を介して埋め込まれた銅を主成分とする配線層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係り、特に、銅配線層を有する半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体集積回路の大規模高集積化に伴い、半導体基板上に形成した素子を相互接続するための配線の微細化が進展している。このため、配線に要求される特性や信頼性は一層厳しくなっており、より比抵抗が低く、且つ、エレクトロマイグレーション耐性などの信頼性の高い配線材料が求められている。

【 0 0 0 3 】

このような背景において、従来より配線材料として用いられていたアルミニウム ( A l ) よりも比抵抗が低くエレクトロマイグレーション耐性に優れた銅 ( C u ) が注目されている。銅は、蒸気圧の高い反応生成物を形成しにくく、加工技術として広く用いられているドライエッチング技術の適用が困難であることから

従来においては配線材料として使用されていなかったが、埋め込み配線技術の確立とともに銅配線の形成が可能となっており、実用化に向けた様々な検討が行われている。

【0004】

従来の銅配線を用いた半導体装置及びその製造方法について図16乃至図19を用いて説明する。図16乃至図19は従来の半導体装置の構造及び製造方法を示す工程断面図である。

【0005】

まず、ゲート電極112及びソース／ドレイン拡散層114を有するMOSFETが形成されたシリコン基板110上に、例えばCVD法によりシリコン酸化膜を堆積した後、その表面を例えばCMP（Chemical Mechanical Polishing：化学的機械研磨）法により研磨して平坦化し、表面が平坦化されたシリコン酸化膜よりなる層間絶縁膜116を形成する（図16（a））。

【0006】

次いで、層間絶縁膜116上に、例えばCVD法により、層間絶縁膜を構成する材料とはエッチング特性の異なる絶縁膜、例えばシリコン窒化膜よりなるストッパ膜118を形成する（図16（b））。

【0007】

次いで、通常のリソグラフィ技術及びエッチング技術により、下層の配線層或いはシリコン基板110と上層の配線層とを接続するためのビアホールを開口する領域のストッパ膜118を除去するように、ストッパ膜118をパターニングする（図16（c））。

【0008】

次いで、ストッパ膜118が形成された層間絶縁膜116上に、例えばCVD法により、ストッパ膜118とはエッチング特性の異なる絶縁膜、例えばシリコン酸化膜よりなる層間絶縁膜120を形成する（図16（d））。

【0009】

次いで、通常のリソグラフィ技術により、層間絶縁膜120上に、上層の配線層を形成すべき領域に開口部を有するレジスト膜（図示せず）を形成する。

【0010】

次いで、通常のドライエッチング技術により、レジスト膜及びストッパ膜 118 をマスクとして、層間絶縁膜 120、116 を異方性エッチングする。こうして、層間絶縁膜 116 に開口されたビアホール 122 と、層間絶縁膜 120 に形成された配線溝 124 とを形成する（図 17（a））。

【0011】

次いで、全面に、例えばスパッタリング法や CVD 法により、Ta<sub>2</sub>N<sub>5</sub> 膜を堆積し、Ta<sub>2</sub>N<sub>5</sub> 膜よりなるバリア層 126 を形成する。

【0012】

次いで、全面に、スパッタリング法や CVD 法により、バリア層 126 上にメッキによる銅の成膜を効率よく行うための銅よりなるシード層 128 を形成する（図 17（b））。

【0013】

次いで、シード層 128 上に、例えばメッキ法により、Cu 膜 130 を堆積する（図 17（c））。

【0014】

次いで、例えば CMP 法により、層間絶縁膜 120 の表面が露出するまで Cu 膜 130、シード層 128、バリア層 126 を平坦に除去し、配線溝 124 内及びビアホール 122 内に埋め込まれ、ソース／ドレイン拡散層 114 及びゲート電極 112 に接続された配線層 132 を形成する。

【0015】

次いで、全面に、例えば CVD 法により、配線保護膜 134 を形成する。

【0016】

次いで、必要に応じて、配線保護膜 134 上に第 2 層目以降の配線層 150 を、例えば同様のデュアルダマシンプロセスによって形成する（図 19）

こうして、配線材料として銅を用いた配線層が形成されていた。

【0017】

【発明が解決しようとする課題】

しかしながら、上記従来の半導体装置では、バリア層 126 とシード層 128

との密着性が十分ではなく、CMP法により研磨する際の機械的応力によってこれら界面に応力がかかり、研磨中にシード層 1 2 8 と Cu 膜 1 3 0 により構成される銅配線層が剥がれることがあった。このため、銅配線層とバリア層 1 2 6 との密着性を高めうる構造や製造方法が求められていた。

【0 0 1 8】

また、バリア層 1 2 6 の材料によっては、シリコン酸化膜などよりなる層間絶縁膜との密着性が十分でないものもあり、バリア層 1 2 6 と層間絶縁膜との密着性を高めうる半導体装置の構造や製造方法をも求められていた。

【0 0 1 9】

本発明の目的は、銅配線層とバリア層、或いは、バリア層と層間絶縁膜との密着性を高めうる半導体装置の構造及びその製造方法を提供することにある。

【0 0 2 0】

【課題を解決するための手段】

上記目的は、下地基板上に形成され、前記下地基板に達する開口部が形成された絶縁膜と、前記開口部の内壁及び底部に形成されたバリア層と、前記バリア層の表面に形成された Z r よりなる密着層と、前記バリア層及び前記密着層が形成された前記開口部内に埋め込まれた銅を主成分とする配線層とを有することを特徴とする半導体装置によって達成される。

【0 0 2 1】

また、上記目的は、下地基板上に形成され、前記下地基板に達する開口部が形成された絶縁膜と、前記開口部の内壁及び底部に形成された Z r よりなる密着層と、前記密着層の表面に形成されたバリア層と、前記密着層及び前記バリア層が形成された前記開口部内に埋め込まれた銅を主成分とする配線層とを有することを特徴とする半導体装置によっても達成される。

【0 0 2 2】

また、上記の半導体装置において、前記開口部は、前記下地基板に達するビアホールと、前記ビアホールが形成された領域を含む領域に形成された配線溝とを含むようにしてもよい。

【0 0 2 3】

また、上記目的は、下地基板上に、前記下地基板に達する開口部が形成された絶縁膜を形成する工程と、前記絶縁膜上及び前記開口部の内壁及び底部にバリア層を形成する工程と、前記バリア層上にZrよりなる密着層を形成する工程と、前記密着層上にCuよりなるシード層を形成する工程と、前記シード層上にCu膜を形成する工程と、前記絶縁膜が露出するまで前記Cu膜、前記シード層、前記密着層及び前記バリア層を平坦に除去し、前記開口部内に前記密着層及びバリア層を介して埋め込まれた銅を主成分とする配線層を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0024】

また、上記目的は、下地基板上に、前記下地基板に達する開口部が形成された絶縁膜を形成する工程と、前記絶縁膜上及び前記開口部の内壁及び底部にZrよりなる密着層を形成する工程と、前記密着層上にバリア層を形成する工程と、前記バリア層上にCuよりなるシード層を形成する工程と、前記シード層上にCu膜を形成する工程と、前記絶縁膜が露出するまで前記Cu膜、前記シード層、前記バリア層及び前記密着層を平坦に除去し、前記開口部内に前記バリア層及び密着層を介して埋め込まれた銅を主成分とする配線層を形成する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0025】

【発明の実施の形態】

〔本発明の原理〕

銅配線とバリア層との間の密着性を高めるには、銅配線及びバリア層の双方に対して密着性に優れた材料からなる密着層を各層の間に挿入することが考えられる。同様に、バリア層と層間絶縁膜との間の密着性を高めるためには、バリア層と層間絶縁膜の双方に対して密着性に優れた材料からなる密着層を各層の間に挿入することが考えられる。

【0026】

ここで、銅配線とバリア層との間に設ける密着層について考えると、密着層に要求される特性は、銅配線及びバリア層の双方に対して密着性に優れていることのみならず、銅配線中に密着層を構成する元素が拡散して銅配線のメリットであ



る低い比抵抗の増大をもたらさないことも重要である。

【 0 0 2 7 】

係る観点から本願発明者らが鋭意検討を行った結果、Z<sub>r</sub>（ジルコニウム）が銅配線及び一般に用いられているバリア層に対して良好な密着性を有するとともに、銅配線の比抵抗を増加させる作用が小さい材料であり密着層として好適であることが初めて明らかとなった。

【 0 0 2 8 】

以下、Z<sub>r</sub>が密着層の材料として好適な理由について説明する。

【 0 0 2 9 】

銅配線層と密着層、及び、密着層とバリア層との間の密着性を向上するためには、密着層を構成する材料が銅配線及びバリア層中に拡散し、両層間の界面状態をなじませる必要がある。

【 0 0 3 0 】

その一方、密着層を構成するすべての構成元素が銅配線中或いはバリア層中に拡散したのでは、実質的にバリア層上に銅配線層を設けた場合と変わるところはなく、密着性の向上は図れない。

【 0 0 3 1 】

また、一般に、C<sub>u</sub>中に他の元素が固溶すると比抵抗を増加する。したがって、密着層を構成する元素が多量にC<sub>u</sub>中に拡散すると、比抵抗が低いという銅配線のメリットを十分に生かすことができなくなる。

【 0 0 3 2 】

したがって、密着層を構成する材料を選択するにあたっては、上記の点を十分考慮する必要がある。

【 0 0 3 3 】

C<sub>u</sub>中に導入された場合に比抵抗を増加させる作用が小さい元素としては、Z<sub>r</sub>（ジルコニウム）、C<sub>d</sub>（カドミウム）、Z<sub>n</sub>（亜鉛）、A<sub>g</sub>（銀）、P<sub>b</sub>（鉛）、S<sub>n</sub>（錫）、A<sub>l</sub>（アルミニウム）などの元素がある。なお、これら材料は、列記した順に比抵抗を増大させる作用が小さい。

【 0 0 3 4 】

一方、密着層として機能させるためには、上述のように、熱処理等を行って界面をなじませた後においても密着層が銅配線とバリア層との間に残存しており、双方の密着性を維持する必要がある。したがって、密着層を構成する材料としては、Cu中への固溶度が低くすべての構成元素が銅配線中に拡散しないとともに、Cuの比抵抗の増加を十分低く抑えることができる材料であることが望ましい。

## 【0035】

上記材料の固溶度について考慮すると、Zrは0.15wt%、Cdは0.5wt%、Znは3.9wt%、Agは0.8wt%、Pbは0.09wt%、Niは全率固溶、Snは11～15wt%、Alは9wt%である。

## 【0036】

したがって、上記の材料から最適な材料を選択すると、密着層としては、Cu中における固溶度が低く、Cuの比抵抗を増大させる作用が小さいZr膜を適用することが望ましい。また、Zrを含む膜、例えば、ZrN（窒化ジルコニウム）膜を適用しても同様の効果を期待できる。

## 【0037】

Zrを密着層として使用した場合、バリア層と密着層との界面では、熱処理過程において構成元素が相互拡散し、両層間の密着性が向上される。また、Zrはシリコン酸化膜などの層間絶縁膜材料に対しても密着性に優れており、層間絶縁膜とバリア層との間に設けることによっても密着層として機能する。

## 【0038】

なお、本願発明者らは詳細な検討を行っていないが、上記見解に基づくと、Cu中における固溶度が低くCuの比抵抗を増大させる作用が小さい他の材料、例えば、Cd、Ag、Pb等も、密着層として採用しうる可能性がある。

## 【0039】

密着層と銅配線との界面をなじませて密着性を高めるための処理としては、例えば、Zrよりなる密着層をアモルファス状に堆積した後、シード層を例えばスパッタリング法などの成膜成分が大きなエネルギーをもつ成膜方法により堆積する方法を適用することができる。このような成膜方法によってシード層を形成す

ると、シード層を構成するCuの一部が密着層に食い込み、シード層と密着層との密着力が向上される。

【0040】

また、シード層を形成した後、密着層を構成するZrの一部をシード層方向に拡散するようにしてもよい。例えば、シード層形成後に200℃程度の低温熱処理を、或いは、500℃数秒間程度の短時間熱処理を行うことにより、密着層を構成するZrの一部がシード層内に拡散し、密着層とシード層との密着性が向上される。

【0041】

或いは、密着層を構成するZrの一部がシード層中に固溶限界に達するまで熱処理を行うようにしてもよい。例えば、300℃30分の熱処理を適用することができる。ZrはCu膜中における固溶度が低いため、固溶限界に達するまで熱処理を行ってもCuの比抵抗を増加する作用は小さい。また、固溶限界のZrが固溶している場合、それ以上のZrがCu方向に拡散することはないので、後工程の熱処理やプロセスの違いによる銅配線の比抵抗の変化を小さくできるという効果もある。なお、この場合には、熱処理後においてもシード層とバリア層との界面にZr膜が残存するようにシード層と密着層の膜厚を制御することが必要である。

【0042】

TaNよりなるバリア層上に、Zr膜よりなる密着層と、Cu膜よりなるシード層とをスパッタリング法により堆積したときの密着度の変化と膜抵抗の変化を表1及び図1に示す。なお、密着層及びシード層の膜厚は、これらのトータル膜厚を200nm一定とし、Zr膜とCu膜の膜厚比を変化した。

【0043】

【表 1】

シード層の膜厚	密着層の膜厚	Zr / Cu 比	臨界応力 [k g f]
Cu 膜 200 nm	密着層なし	0	10.0
Cu 膜 198 nm	Zr 膜 2 nm	1 / 99	12.5
Cu 膜 195 nm	Zr 膜 5 nm	1 / 39	12.5
Cu 膜 190 nm	Zr 膜 10 nm	1 / 19	15.0

## 【0044】

表 1 に示すように、Zr : Cu の膜厚比を 1 : 99 或いはそれ以上としたときに、Zr 膜よりなる密着層を形成しない場合と比較して、密着力の指標となる臨界応力が増加していることが判る。

## 【0045】

また、Zr : Cu の膜厚比が 1 : 99 のとき、Cu 中の Zr 濃度はほぼ固溶限界である 0.15 wt % であるため、図 1 に示すように、Zr の膜厚比が増加しても銅配線の比抵抗の変化は小さいことが判る。

## 【0046】

図 1 には、比較例として、トータル膜厚 300 nm の Sn 膜と Cu 膜とを形成した場合、トータル膜厚 300 nm の Pd 膜と Cu 膜とを形成した場合についても同様の結果を示しているが、これら材料では Sn 或いは Pd の膜厚比の増大とともに比抵抗が大きくなっており、Zr のように Cu の比抵抗増大を抑える効果が低いことが判る。なお、Sn 膜と Cu 膜との関係については、C.-K. Hu et al., Thin Solid Films, 262 (1995) 84、C.-K. Hu et al., J. Electrochem. Soc., 143 (1996) 1001、及び、Y.S. Gong et al., Appl. Surf. Soc., 92 (1996) 355 に記載のデータを引用した。また、Pd 膜と Cu 膜との関係については、C.W. Park et al., Thin Solid Films, 226 (1993) 238 に記載のデータを引用した。

## 【0047】

また、図示しないが、Zr : Cu の膜厚比が 1 : 99 である試料の断面構造を透過型電子顕微鏡により観察したところ、シード層とバリア層との界面には、C

u 膜中に固溶しきれなかった Z r が残留しているとともに、残留した Z r と T a N が相互拡散して高い密着力をもつ界面が形成されていることが判った。

【 0 0 4 8 】

〔第 1 実施形態〕

本発明の第 1 実施形態による半導体装置及びその製造方法について図 2 乃至図 9 を用いて説明する。

【 0 0 4 9 】

図 2 は本実施形態による半導体装置の構造を示す概略断面図、図 3 乃至図 9 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【 0 0 5 0 】

はじめに、本実施形態による半導体装置の構造について図 2 を用いて説明する。

【 0 0 5 1 】

素子分離膜 1 2 により画定されたシリコン基板 1 0 の素子領域には、ソース／ドレイン拡散層 1 4、ゲート電極 1 8 を有する MOS トランジスタを形成されている。

【 0 0 5 2 】

MOS トランジスタが形成されたシリコン基板 1 0 上には、層間絶縁膜 2 2 と、ストッパ膜 2 4 と、層間絶縁膜 2 6 とが順次形成されている。層間絶縁膜 2 2 及びストッパ膜 2 4 には、ソース／ドレイン拡散層 1 4 及びゲート電極 1 8 に達するビアホール 3 2 が形成されており、層間絶縁膜 2 6 のビアホール 3 2 を含む領域には配線溝 3 0 が形成されている。ビアホール 3 2 及び配線溝 3 0 内には、T a N 膜よりなるバリア層 3 4 と、Z r 膜よりなる密着層 3 6 と、C u 膜よりなるシード層 3 8 と、C u 膜 4 0 とからなる配線層 4 2 が埋め込まれている。

【 0 0 5 3 】

配線層 4 2 が埋め込まれた層間絶縁膜 2 6 上には、配線保護膜 4 4 と、層間絶縁膜 4 6 と、ストッパ膜 4 8 と、層間絶縁膜 5 0 とが順次形成されている。配線保護膜 4 4 及び層間絶縁膜 4 6 には配線層 4 2 に達するビアホール 5 6 が形成されており、層間絶縁膜 5 0 のビアホール 5 6 を含む領域には配線溝 5 4 が形成さ

れている。ビアホール 5 6 及び配線溝 5 4 内には、T a N 膜よりなるバリア層 5 8 と、Z r 膜よりなる密着層 6 0 と、C u 膜よりなるシード層 6 2 と、C u 膜 6 4 とからなる配線層 6 6 が埋め込まれている。

【 0 0 5 4 】

配線層 6 6 が埋め込まれた層間絶縁膜 5 0 上には、配線保護膜 6 8 が形成されている。

【 0 0 5 5 】

こうして、本実施形態による半導体装置が構成されている。

【 0 0 5 6 】

本実施形態による半導体装置は、バリア層 3 4 とシード層 3 8 との間に Z r 膜よりなる密着層 3 6 が、バリア層 5 8 とシード層 6 2 との間に Z r 膜よりなる密着層 6 0 が、それぞれ形成されていることに特徴がある。このようにして Z r 膜よりなる密着層 3 6、3 6 を設けることにより、バリア層 3 4、5 8 と密着層 3 6、6 0 との間の密着性、及び、密着層 3 6、6 0 とシード層 3 8、6 2 との間の密着性を向上することができる。したがって、従来の半導体装置と比較して、バリア層とシード層との間の密着性を向上することができる。

【 0 0 5 7 】

次に、本実施形態による半導体装置の製造方法について図 3 乃至図 9 を用いて説明する。

【 0 0 5 8 】

まず、例えば通常の L O C O S 法により、シリコン基板 1 0 を局所的に酸化し、素子領域を画定する素子分離膜 1 2 を形成する。

【 0 0 5 9 】

次いで、通常の M O S トランジスタの製造プロセスと同様にして、素子分離膜 1 2 により画定された素子領域に、ソース／ドレイン拡散層 1 4、ゲート絶縁膜 1 6、ゲート電極 1 8、サイドウォール 2 0 を有する M O S トランジスタを形成する（図 3（a））。

【 0 0 6 0 】

次いで、全面に、例えば C V D 法により膜厚 5 0 0 ～ 7 0 0 n m 程度のシリコ

ン酸化膜を堆積した後、その表面を例えばCMP法により研磨して平坦化し、表面が平坦化されたシリコン酸化膜よりなる層間絶縁膜 2 2 を形成する（図 3（b））。

#### 【0061】

次いで、全面に、例えばCVD法により、膜厚数十nm程度のシリコン窒化膜を堆積する。こうして、シリコン窒化膜よりなるストッパ膜 2 4 を形成する（図 3（c））。

#### 【0062】

次いで、通常のリソグラフィ技術及びエッチング技術を用い、上層に形成する配線層とシリコン基板上に形成された素子とを接続するビアホールを形成する領域のストッパ膜 2 4 を除去する（図 3（d））。なお、図においては、ソース／ドレイン拡散層 1 4 上に開口されるビアホールと、右側のゲート電極 1 8 上に開口されるビアホールとを形成する場合を例に示す。

#### 【0063】

次いで、全面に、例えばCVD法により、膜厚400nm程度のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜 2 6 を形成する（図 4（a））。

#### 【0064】

次いで、通常のリソグラフィ技術を用い、形成しようとする配線層に相当する開口パターンを有するレジスト膜 2 8 を形成する（図 4（b））。

#### 【0065】

次いで、レジスト膜 2 8 及びストッパ膜 2 4 をマスクとして層間絶縁膜 2 2、2 6 を異方性エッチングし、層間絶縁膜 2 6 に形成された配線溝 3 0 と、配線溝 3 0 内の層間絶縁膜 2 2 に形成されたソース／ドレイン拡散層 1 4 及びゲート電極 1 8 に達するビアホール 3 2 とを形成する（図 4（c））。

#### 【0066】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚25～30nmのTa<sub>2</sub>N膜を堆積する。こうして、Ta<sub>2</sub>N膜よりなるバリア層 3 4 を形成する。なお、バリア層 3 4 は、層間絶縁膜 2 2、2 6 中に配線層中の銅が拡散すること

を防止するための層である。なお、TaN膜はCVD法などによって形成してもよい。

## 【0067】

次いで、全面に、例えばスパッタリング法により、膜厚5～50nm程度のZr膜をアモルファスの状態で堆積する。こうして、Zr膜よりなる密着層36を形成する。

## 【0068】

次いで、全面に例えばスパッタリング法により、膜厚50～200nm程度のCu膜を堆積する。こうして、Cu膜よりなるシード層38を形成する（図5（a））。なお、シード層38は、銅膜をメッキ法により堆積する際に基板の導電性を高めるため下地膜として堆積するものである。

## 【0069】

このとき、シード層38を形成する成膜方法に、スパッタリング法などの成膜成分が大きなエネルギーをもって形成される方法を適用することにより、シード層38を構成するCuの一部がZrよりなる密着層36内にくい込むため、後工程で熱処理を行わずとも密着層36とシード層38との間の密着力を向上することができる。

## 【0070】

次いで、全面に、例えばメッキ法により、膜厚1000nm程度のCu膜40を堆積し、配線溝30、ビアホール32内を、Cu膜40により完全に埋め込む（図5（b））。

## 【0071】

次いで、例えばCMP法により、層間絶縁膜26が露出するまでCu膜40、シード層38、密着層36、バリア層34を平坦に研磨し、配線溝30内及びビアホール32内にのみCu膜40、シード層38、密着層36、バリア層34を残存させる。

## 【0072】

こうして、Cu膜40、シード層38、密着層36、バリア層34よりなり、ビアホール32を介してソース／ドレイン拡散層14、ゲート電極18に接続さ



れ、配線溝 3 0 に埋め込まれた配線層 4 2 を形成する（図 5（c））。

【0 0 7 3】

次いで、配線層 4 2 が埋め込まれた層間絶縁膜 2 6 上に、例えば C V D 法により、膜厚 5 0 ～ 7 0 n m のシリコン窒化膜よりなる配線保護膜 4 4 を形成する（図 6（a））。

【0 0 7 4】

次いで、配線保護膜 4 4 上に、例えば C V D 法により、膜厚 5 0 0 ～ 7 0 0 n m 程度のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜 4 6 を形成する。

【0 0 7 5】

次いで、全面に、例えば C V D 法により、膜厚数十 n m 程度のシリコン窒化膜を堆積する。こうして、シリコン窒化膜よりなるストッパ膜 4 8 を形成する。

【0 0 7 6】

次いで、通常のリソグラフィ技術及びエッチング技術を用い、上層に形成する配線層と配線層 4 2 とを接続するビアホールを形成する領域のストッパ膜 4 8 を除去する。

【0 0 7 7】

次いで、全面に、例えば C V D 法により、膜厚 4 0 0 n m 程度のシリコン酸化膜を堆積し、シリコン酸化膜よりなる層間絶縁膜 5 0 を形成する（図 6（b））。

【0 0 7 8】

次いで、通常のリソグラフィ技術を用い、形成しようとする配線層に相当する開口パターンを有するレジスト膜 5 2 を形成する（図 7（a））。

【0 0 7 9】

次いで、レジスト膜 5 2 及びストッパ膜 4 8 をマスクとして層間絶縁膜 4 6、5 0、配線保護膜 4 4 を異方性エッチングし、層間絶縁膜 5 0 に形成された配線溝 5 4 と、配線溝 5 4 内の層間絶縁膜 4 6 及び配線保護膜 4 4 に形成された配線層 4 2 に達するビアホール 5 6 とを形成する（図 7（b））。

【0 0 8 0】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚 25 ～ 30 nm の TaN 膜を堆積する。こうして、TaN 膜よりなるバリア層 58 を形成する。

【0081】

次いで、全面に、例えばスパッタリング法により、膜厚 5 ～ 50 nm 程度の Zr 膜をアモルファスの状態で堆積する。こうして、Zr 膜よりなる密着層 60 を形成する。

【0082】

次いで、全面に例えばスパッタリング法により、膜厚 50 ～ 200 nm 程度の Cu 膜を堆積する。こうして、Cu 膜よりなるシード層 62 を形成する（図 8（a））。シード層 38 を形成する場合と同様に、シード層 62 を形成する成膜方法にスパッタリング法などの成膜成分が大きなエネルギーをもって形成される方法を適用することにより、シード層 62 を構成する Cu の一部が Zr よりなる密着層 60 内にくい込むため、後工程で熱処理を行わずとも密着層 60 とシード層 62 との間の密着力を向上することができる。

【0083】

次いで、全面に、例えばメッキ法により、膜厚 1000 nm 程度の Cu 膜 64 を堆積し、配線溝 54、ビアホール 56 内を、Cu 膜 64 により完全に埋め込む（図 8（b））。

【0084】

次いで、例えば CMP 法により、層間絶縁膜 50 が露出するまで Cu 膜 64、シード層 62、密着層 60、バリア層 58 を平坦に研磨し、配線溝 54 内及びビアホール 56 内にのみ Cu 膜 64、シード層 62、密着層 60、バリア層 58 を残存させる。

【0085】

こうして、Cu 膜 64、シード層 62、密着層 60、バリア層 58 よりなり、ビアホール 56 を介して配線層 42 に接続され、配線溝 54 に埋め込まれた配線層 66 を形成する（図 9（a））。

【0086】

次いで、配線層 64 が埋め込まれた層間絶縁膜 50 上に、例えば CVD 法によ

り、膜厚 50 ～ 70 nm のシリコン窒化膜よりなる配線保護膜 68 を形成する。

【0087】

次いで、必要に応じて第 3 層以降の配線層（図示せず）を形成する。

【0088】

このように、本実施形態によれば、シード層とバリア層との間に Zr 膜よりなる密着層を形成するので、シード層とバリア層との間の密着性を高めることができる。これにより、CMP による Cu 膜の研磨過程において Cu 膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

【0089】

〔第 2 実施形態〕

本発明の第 2 実施形態による半導体装置の製造方法について図 2 乃至図 9 を用いて説明する。なお、第 1 実施形態による半導体装置の構造及び製造方法と同様の構成要素については同一の符号を付し、説明を省略し或いは簡略にする。

【0090】

図 2 は本実施形態による半導体装置の構造を示す概略断面図、図 3 乃至図 9 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0091】

本実施形態による半導体装置及びその製造方法は、バリア層、密着層、Cu 膜の形成方法が異なる他は第 1 実施形態による半導体装置及びその製造方法と同様である。

【0092】

以下、本実施形態による半導体装置の製造方法について図 3 乃至図 9 を用いて説明する。

【0093】

まず、例えば図 3（a）乃至図 4（c）に示す第 1 実施形態による半導体装置の製造方法と同様にして、MOS トランジスタが形成されたシリコン基板 10 上に、ビアホール 32 が形成された層間絶縁膜 26 及びストッパ膜 24 と、配線溝 30 が形成された層間絶縁膜 28 とを形成する。

## 【0094】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚25～30nmのTa<sub>2</sub>N<sub>5</sub>膜を堆積する。こうして、Ta<sub>2</sub>N<sub>5</sub>膜よりなるバリア層34を形成する。なお、Ta<sub>2</sub>N<sub>5</sub>膜はCVD法などによって形成してもよい。

## 【0095】

次いで、全面に、例えばスパッタリング法により、膜厚5～50nm程度のZr膜をアモルファスの状態で堆積する。こうして、Zr膜よりなる密着層36を形成する。なお、Zr膜はCVD法やメッキ法などによって形成してもよい。

## 【0096】

次いで、全面に例えばCVD法により、膜厚50～200nm程度のCu膜を堆積する。こうして、Cu膜よりなるシード層38を形成する（図5（a））。

## 【0097】

次いで、200℃程度の低温熱処理、或いは、500℃数秒程度の短時間熱処理を行い、密着層36を構成するZrの一部をシード層38に拡散させる。これにより、密着層36とシード層との密着力が向上される。また、この熱処理過程において、密着層36とバリア層34との間においても相互拡散が生じ、密着層36とバリア層34との間の密着力をも向上される。

## 【0098】

なお、本熱処理工程において、300℃30分程度の熱処理を行い、密着層36を構成するZrの一部を、シード層38に固溶限界まで拡散させてもよい。このようにした場合においても、密着層36とシード層38との間の密着力を向上することができる。この場合、熱処理後においてもシード層38とバリア層34との間にZr膜よりなる密着層36が残存するように、密着層36及びシード層38の膜厚を制御する。

## 【0099】

次いで、例えば第1実施形態による半導体装置の製造方法と同様にして、メッキ法によりCu膜40を堆積した後にCMP法によりポリッシュバックし、Cu膜40、シード層38、密着層36、バリア層34よりなり、ビアホール32を介してソース／ドレイン拡散層14、ゲート電極18に接続され、配線溝30に

埋め込まれた配線層 4 2 を形成する (図 5 (b) ~ (c))。

【0 1 0 0】

この後、例えば図 6 (a) 乃至図 9 (b) に示す第 1 実施形態による半導体装置の製造方法と同様にして、第 2 層目以降の配線層を形成する。

【0 1 0 1】

このように、本実施形態によれば、シード層とバリア層との間に Z r 膜よりなる密着層を形成し、シード層形成後に熱処理を行うので、シード層とバリア層との間の密着性を高めることができる。これにより、CMP による C u 膜の研磨過程において C u 膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

【0 1 0 2】

なお、本実施形態では、第 1 層目の C u 配線層形成過程に本発明による半導体装置の製造方法を適用する例を説明したが、第 2 層目以降の配線層に本実施形態による半導体装置の製造方法を適用してもよい。

【0 1 0 3】

〔第 3 実施形態〕

本発明の第 3 実施形態による半導体装置及びその製造方法について図 1 0 乃至図 1 4 を用いて説明する。なお、第 1 及び第 2 実施形態による半導体装置の構造及び製造方法と同様の構成要素については同一の符号を付し、説明を省略し或いは簡略にする。

【0 1 0 4】

図 1 0 は本実施形態による半導体装置の構造を示す概略断面図、図 1 1 乃至図 1 4 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0 1 0 5】

本実施形態では、層間絶縁膜とバリア層との間の密着性を向上する半導体装置及びその製造方法について説明する。

【0 1 0 6】

はじめに、本実施形態による半導体装置の構造について図 1 0 を用いて説明する。

## 【0107】

素子分離膜12により画定されたシリコン基板10の素子領域には、ソース／ドレイン拡散層14、ゲート電極18を有するMOSトランジスタを形成されている。

## 【0108】

MOSトランジスタが形成されたシリコン基板10上には、層間絶縁膜22と、ストッパ膜24と、層間絶縁膜26とが順次形成されている。層間絶縁膜22及びストッパ膜24にはソース／ドレイン拡散層14及びゲート電極18に達するビアホール32が形成されており、層間絶縁膜26にはビアホール32を含む領域に配線溝30が形成された層間絶縁膜26が形成されている。ビアホール32及び配線溝30内には、Zr膜よりなる密着層70と、Ta<sub>2</sub>N<sub>5</sub>膜よりなるバリア層34と、Cu膜よりなるシード層38と、Cu膜40とからなる配線層42が埋め込まれている。

## 【0109】

配線層42が埋め込まれた層間絶縁膜26上には、配線保護膜44と、層間絶縁膜46と、ストッパ膜48と、層間絶縁膜50とが順次形成されている。配線保護膜44及び層間絶縁膜46には配線層42に達するビアホール56が形成されており、層間絶縁膜50のビアホール56を含む領域には配線溝54が形成されている。ビアホール56及び配線溝54内には、Zr膜よりなる密着層72と、Ta<sub>2</sub>N<sub>5</sub>膜よりなるバリア層58と、Cu膜よりなるシード層62と、Cu膜64とからなる配線層66が埋め込まれている。

## 【0110】

配線層66が埋め込まれた層間絶縁膜50上には、配線保護膜68が形成されている。

## 【0111】

こうして、本実施形態による半導体装置が構成されている。

## 【0112】

本実施形態による半導体装置は、層間絶縁膜22、26とバリア層34との間にZr膜よりなる密着層70が、層間絶縁膜46、50とバリア層58との間に

Zr膜よりなる密着層70が、それぞれ形成されていることに特徴がある。このようにしてZr膜よりなる密着層70、72を設けることにより、層間絶縁膜22、26、46、50と密着層70、72との間の密着性、及び、密着層70、72とバリア層34、58との間の密着性を向上することができる。したがって、従来の半導体装置と比較して、層間絶縁膜とバリア層との間の密着性を向上することができる。

## 【0113】

次に、本実施形態による半導体装置の製造方法について図11乃至図14を用いて説明する。

## 【0114】

まず、例えば図3(a)乃至図4(c)に示す第1実施形態による半導体装置の製造方法と同様にして、MOSトランジスタが形成されたシリコン基板10上に、ビアホール32が形成された層間絶縁膜26及びストッパ膜24と、配線溝30が形成された層間絶縁膜28とを形成する(図11(a))。

## 【0115】

次いで、全面に、例えばスパッタリング法により、膜厚5～50nm程度のZr膜を堆積する。こうして、Zr膜よりなる密着層70を形成する(図11(b))。

## 【0116】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚25～30nmのTa<sub>2</sub>N<sub>5</sub>膜を堆積する。こうして、Ta<sub>2</sub>N<sub>5</sub>膜よりなるバリア層34を形成する。

## 【0117】

次いで、全面に、例えばスパッタリング法により、膜厚50～200nm程度のCu膜を堆積する。こうして、Cu膜よりなるシード層38を形成する(図11(c))。

## 【0118】

次いで、全面に、例えばメッキ法により、膜厚1000nm程度のCu膜40を堆積し、配線溝30、ビアホール32内を、Cu膜40により完全に埋め込む(図12(a))。

## 【0 1 1 9】

次いで、例えばCMP法により、層間絶縁膜 2 6 が露出するまでCu膜 4 0、シード層 3 8、バリア層 3 4、密着層 7 0 を平坦に研磨し、配線溝 3 0 内及びビアホール 3 2 内にのみCu膜 4 0、シード層 3 8、バリア層 3 4、密着層 7 0 を残存させる。

## 【0 1 2 0】

こうして、Cu膜 4 0、シード層 3 8、バリア層 3 4、密着層 7 0 よりなり、ビアホール 3 2 を介してソース／ドレイン拡散層 1 4、ゲート電極 1 8 に接続され、配線溝 3 0 に埋め込まれた配線層 4 2 を形成する（図 1 2 (b)）。

## 【0 1 2 1】

次いで、配線層 4 2 が埋め込まれた層間絶縁膜 2 6 上に、例えばCVD法により、膜厚 5 0 ~ 7 0 nm のシリコン窒化膜よりなる配線保護膜 4 4 を形成する（図 6 (a)）。

## 【0 1 2 2】

次いで、例えば図 6 (b) 乃至図 7 (b) に示す第 1 実施形態による半導体装置の製造方法と同様にして、配線保護膜 4 4 上に、ビアホール 5 6 が形成された層間絶縁膜 4 6 及びストッパ膜 4 8 と、配線溝 5 4 が形成された層間絶縁膜 5 0 とを形成する（図 1 3 (a)）

次いで、全面に、例えばスパッタリング法により、膜厚 5 ~ 5 0 nm 程度のZr膜を堆積する。こうして、Zr膜よりなる密着層 7 2 を形成する。

## 【0 1 2 3】

次いで、全面に、例えば反応性スパッタリング法を用い、膜厚 2 5 ~ 3 0 nm のTa<sub>2</sub>N<sub>5</sub>膜を堆積する。こうして、Ta<sub>2</sub>N<sub>5</sub>膜よりなるバリア層 5 8 を形成する。

## 【0 1 2 4】

次いで、全面に例えばスパッタリング法により、膜厚 5 0 ~ 2 0 0 nm 程度のCu膜を堆積する。こうして、Cu膜よりなるシード層 6 2 を形成する（図 1 3 (b)）。

## 【0 1 2 5】

次いで、全面に、例えばメッキ法により、膜厚 1 0 0 0 nm 程度のCu膜 6 4



を堆積し、配線溝 54、ビアホール 56 内を、Cu 膜 64 により完全に埋め込む。

#### 【0126】

次いで、例えば CMP 法により、層間絶縁膜 50 が露出するまで Cu 膜 64、シード層 62、バリア層 58、密着層 72 を平坦に研磨し、配線溝 54 内及びビアホール 56 内にのみ Cu 膜 64、シード層 62、バリア層 58、密着層 72 を残存させる。

#### 【0127】

こうして、Cu 膜 64、シード層 62、バリア層 58、密着層 72 よりなり、ビアホール 56 を介して配線層 42 に接続され、配線溝 54 に埋め込まれた配線層 66 を形成する (図 14 (a))。

#### 【0128】

次いで、配線層 64 が埋め込まれた層間絶縁膜 50 上に、例えば CVD 法により、膜厚 50～70 nm のシリコン窒化膜よりなる配線保護膜 68 を形成する。

#### 【0129】

次いで、必要に応じて第 3 層以降の配線層 (図示せず) を形成する。

#### 【0130】

このように、本実施形態によれば、層間絶縁膜とバリア層との間に Zr 膜よりなる密着層を形成するので、層間絶縁膜とバリア層との間の密着性を高めることができる。これにより、CMP による Cu 膜の研磨過程において Cu 膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

#### 【0131】

本発明は、上記実施形態に限らず種々の変形が可能である。

#### 【0132】

例えば、上記第 1 乃至第 3 実施形態では、ビアホールと配線溝とを同一工程で開口してこれら溝内に配線層を埋め込む、いわゆるデュアルダマシンプロセスにより配線層を形成する方法について説明したが、ビアホール内に電極プラグが埋め込まれた層間絶縁膜を形成した後に、銅配線が埋め込まれた層間絶縁膜を形成

する、いわゆるシングルダマシンプロセスにおいても本発明を同様に適用することができる。

## 【0133】

また、上記第1及び第2実施形態ではバリア層とシード層との間に密着層を設けた半導体装置及びその製造方法を、第3実施形態では層間絶縁膜とバリア層との間に密着層を設けた半導体装置及びその製造方法を示したが、例えば図15に示すように、層間絶縁膜とバリア層との間及びバリア層とシード層との間にそれぞれ密着層を設けてもよい。すなわち、配線層42として、Cu膜40/シード層38/密着層36/バリア層34/密着層70よりなる構造を、配線層66として、Cu膜64/シード層62/密着層60/バリア層58/密着層72よりなる構造を適用することができる。

## 【0134】

また、上記第1乃至第3実施形態では、シリコン基板10に接続される第1層目の金属配線層と、第1層目の金属配線層に接続される第2層目の金属配線層に本発明を適用する場合を説明したが、更に上層の金属配線層においても本発明を同様に適用することができる。また、異なるレベルの配線層の構造を同じにする必要はなく、例えば、第1層目の配線層に第1実施形態を、第2層目の配線層に第3実施形態を適用するようにしてもよい。

## 【0135】

また、上記第1乃至第3実施形態では、バリア層としてTa<sub>2</sub>N<sub>5</sub>を適用した場合を例にして説明したが、他の材料を適用することもできる。Zr膜に対して良好な密着性を得られる他のバリア材料として、例えば、Ta、Ti、W若しくはNb又はこれらの窒化物、WSiなどの高融点金属シリサイド、TiWなどを適用することができる。

## 【0136】

また、上記第1乃至第3実施形態において、シード層を形成する工程の後に、密着層を構成する一部のZrをシード層中に拡散させる工程を更に設けてもよい。

## 【0137】

また、上記第1乃至第3実施形態において、密着層を構成する一部のZrを拡散させた後の前記シード層が、固溶限界程度のZrを含むようにしてもよい。

【0138】

また、上記第3実施形態において、バリア層と銅配線層との間に、Zrよりなる密着層を更に設けてもよい。

【0139】

また、上記第3実施形態において、バリア層を形成する工程の後、前記シード層を形成する工程の前に、バリア層上にZrよりなる密着層を形成する工程を更に設けてもよい。

【0140】

【発明の効果】

以上の通り、本発明によれば、銅を主成分とする埋め込み配線層を有する半導体装置及びその製造方法において、シード層とバリア層との間にZr膜よりなる密着層を形成するので、シード層とバリア層との間の密着性を高めることができる。また、層間絶縁膜とバリア層との間にZr膜よりなる密着層を形成するので、層間絶縁膜とバリア層との間の密着性を高めることができる。したがって、CMPによるCu膜の研磨過程における機械的応力によってCu膜が剥がれることを抑止することができ、半導体装置の歩留まりや信頼性を向上することができる。

【図面の簡単な説明】

【図1】

Cu膜とZr膜、Cu膜とSn膜、及び、Cu膜とPd膜について膜厚比を変化したときの比抵抗の変化を示すグラフである。

【図2】

本発明の第1及び第2実施形態による半導体装置の構造を示す概略断面図である。

【図3】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図 4】

本発明の第 1 及び第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 5】

本発明の第 1 及び第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 6】

本発明の第 1 及び第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 7】

本発明の第 1 及び第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 8】

本発明の第 1 及び第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 9】

本発明の第 1 及び第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 1 0】

本発明の第 3 実施形態による半導体装置の構造を示す概略断面図である。

【図 1 1】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 1 2】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 1 3】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 1 4】

本発明の第 3 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 1 5】

本発明の実施形態の変形例による半導体装置及びその製造方法を示す概略断面図である。

【図 1 6】

従来の半導体装置の構造及び製造方法を示す工程断面図（その 1）である。

【図 1 7】

従来の半導体装置の構造及び製造方法を示す工程断面図（その 2）である。

【図 1 8】

従来の半導体装置の構造及び製造方法を示す工程断面図（その 3）である。

【図 1 9】

従来の半導体装置の構造及び製造方法を示す工程断面図（その 4）である。

【符号の説明】

- 1 0 …シリコン基板
- 1 2 …素子分離膜
- 1 4 …ソース／ドレイン拡散層
- 1 6 …ゲート絶縁膜
- 1 8 …ゲート電極
- 2 0 …サイドウォール絶縁膜
- 2 2 …層間絶縁膜
- 2 4 …ストッパ膜
- 2 6 …層間絶縁膜
- 2 8 …レジスト膜
- 3 0 …配線溝
- 3 2 …ビアホール
- 3 4 …バリア層
- 3 6 …密着層

3 8 … シード層  
4 0 … C u 膜  
4 2 … 配線層  
4 4 … 配線保護膜  
4 6 … 層間絶縁膜  
4 8 … ストップ膜  
5 0 … 層間絶縁膜  
5 2 … レジスト膜  
5 4 … 配線溝  
5 6 … ビアホール  
5 8 … バリア層  
6 0 … 密着層  
6 2 … シード層  
6 4 … C u 膜  
6 6 … 配線層  
6 8 … 配線保護膜  
7 0 … 密着層  
7 2 … 密着層  
1 1 0 … シリコン基板  
1 1 2 … ゲート電極  
1 1 4 … ソース／ドレイン拡散層  
1 1 6 … 層間絶縁膜  
1 1 8 … ストップ膜  
1 2 0 … 層間絶縁膜  
1 2 2 … ビアホール  
1 2 4 … 配線溝  
1 2 6 … バリア層  
1 2 8 … シード層  
1 3 0 … C u 膜

1 3 2 …配線層

1 3 4 …配線保護膜

1 3 6 …層間絶縁膜

1 3 8 …ストッパ膜

1 4 0 …層間絶縁膜

1 4 2 …バリア層

1 4 4 …シード層

1 4 6 …C u 膜

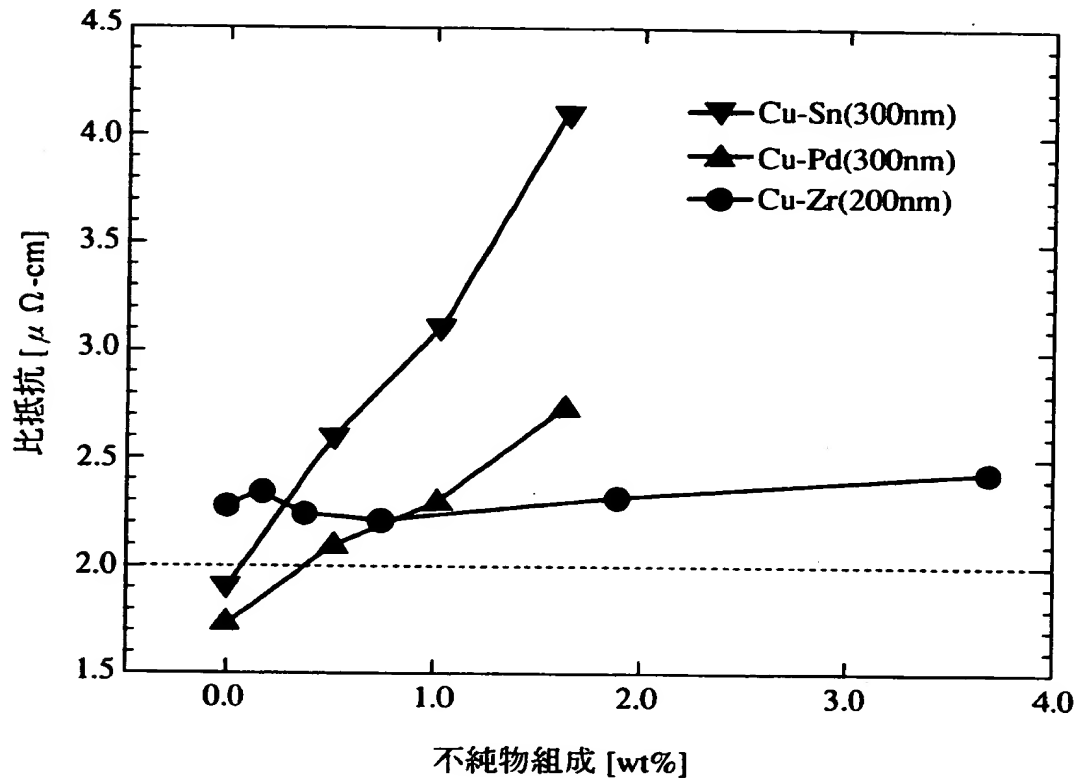
1 4 8 …配線層

1 5 0 …配線保護膜

【書類名】 図面

【図 1】

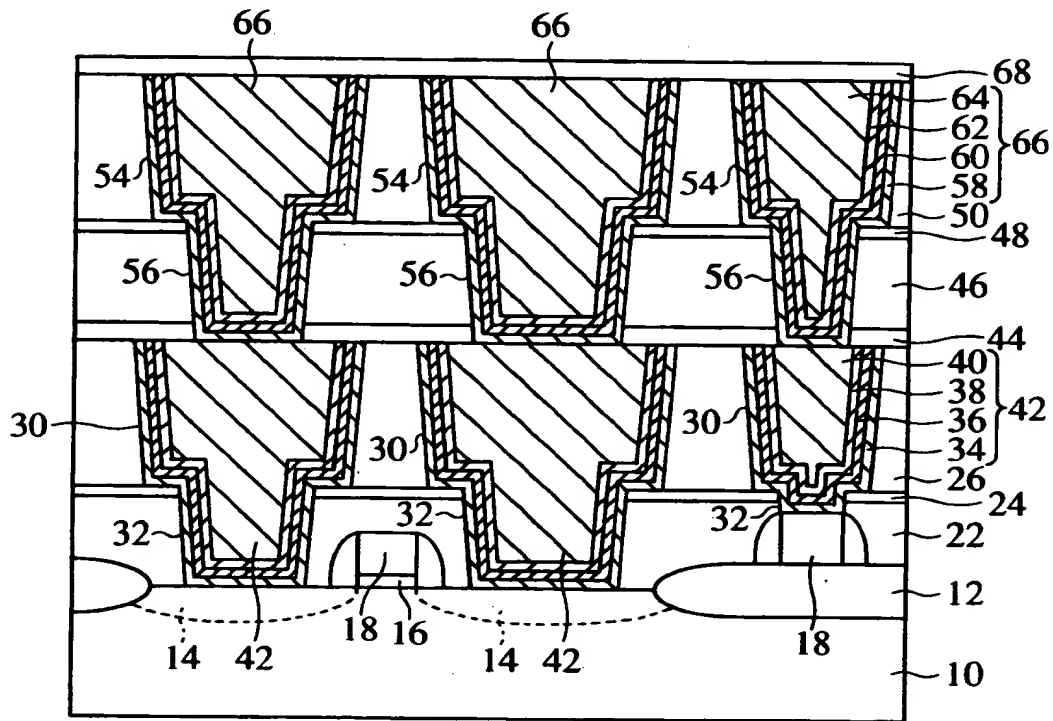
Cu膜とZr膜、Cu膜とSn膜、及び、Cu膜とPd膜について  
膜厚比を変化したときの比抵抗の変化を示すグラフ





【図 2】

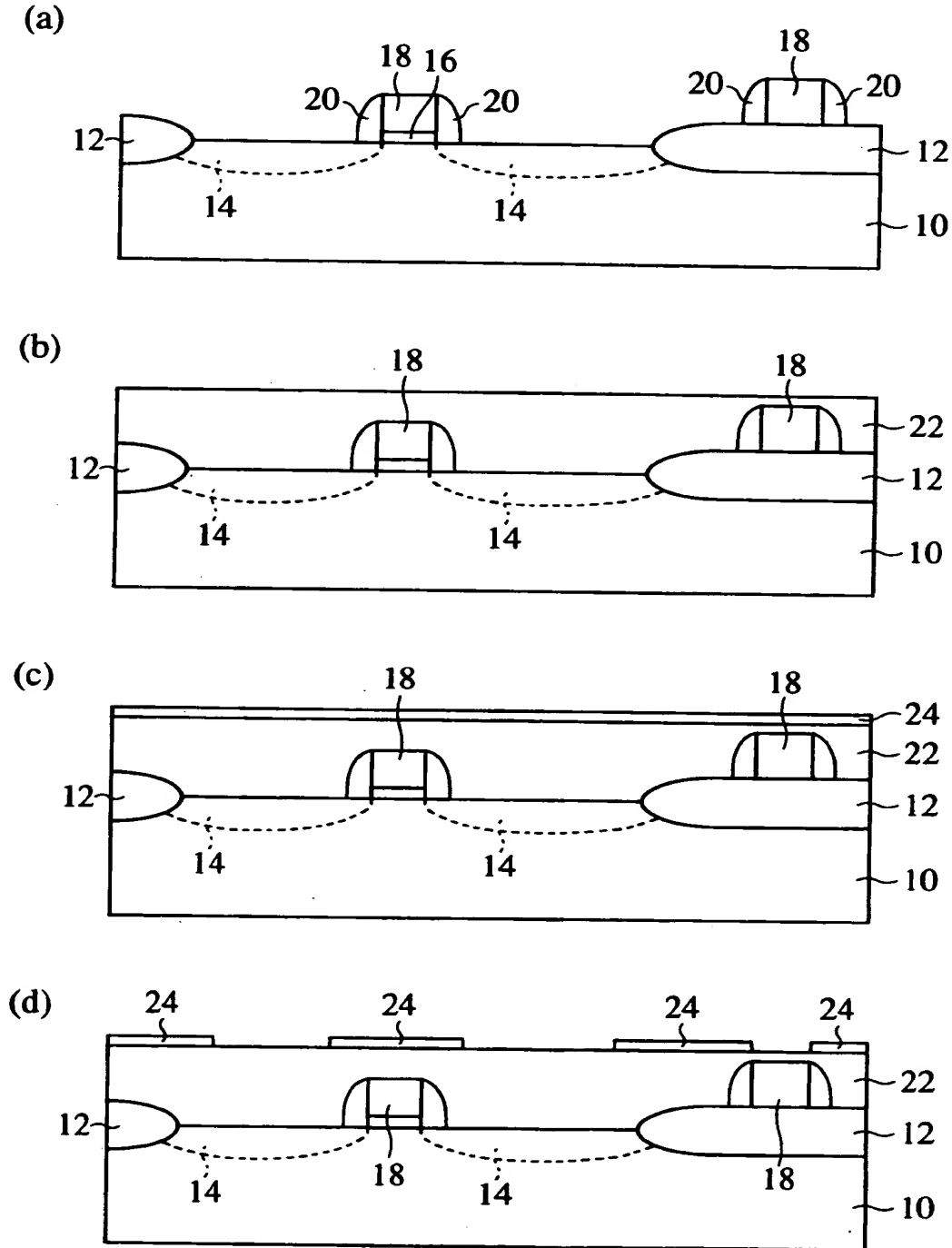
本発明の第1及び第2実施形態による半導体装置の  
構造を示す概略断面図



- |                   |             |
|-------------------|-------------|
| 10…シリコン基板         | 30、54…配線溝   |
| 12…素子分離膜          | 32、56…ビアホール |
| 14…ソース／ドレイン拡散層    | 34、58…バリア層  |
| 16…ゲート絶縁膜         | 36、60…密着層   |
| 18…ゲート電極          | 38、62…シード層  |
| 20…サイドウォール絶縁膜     | 40、64…Cu膜   |
| 22、26、46、50…層間絶縁膜 | 42、66…配線層   |
| 24、48…ストッパ膜       | 44、68…配線保護膜 |

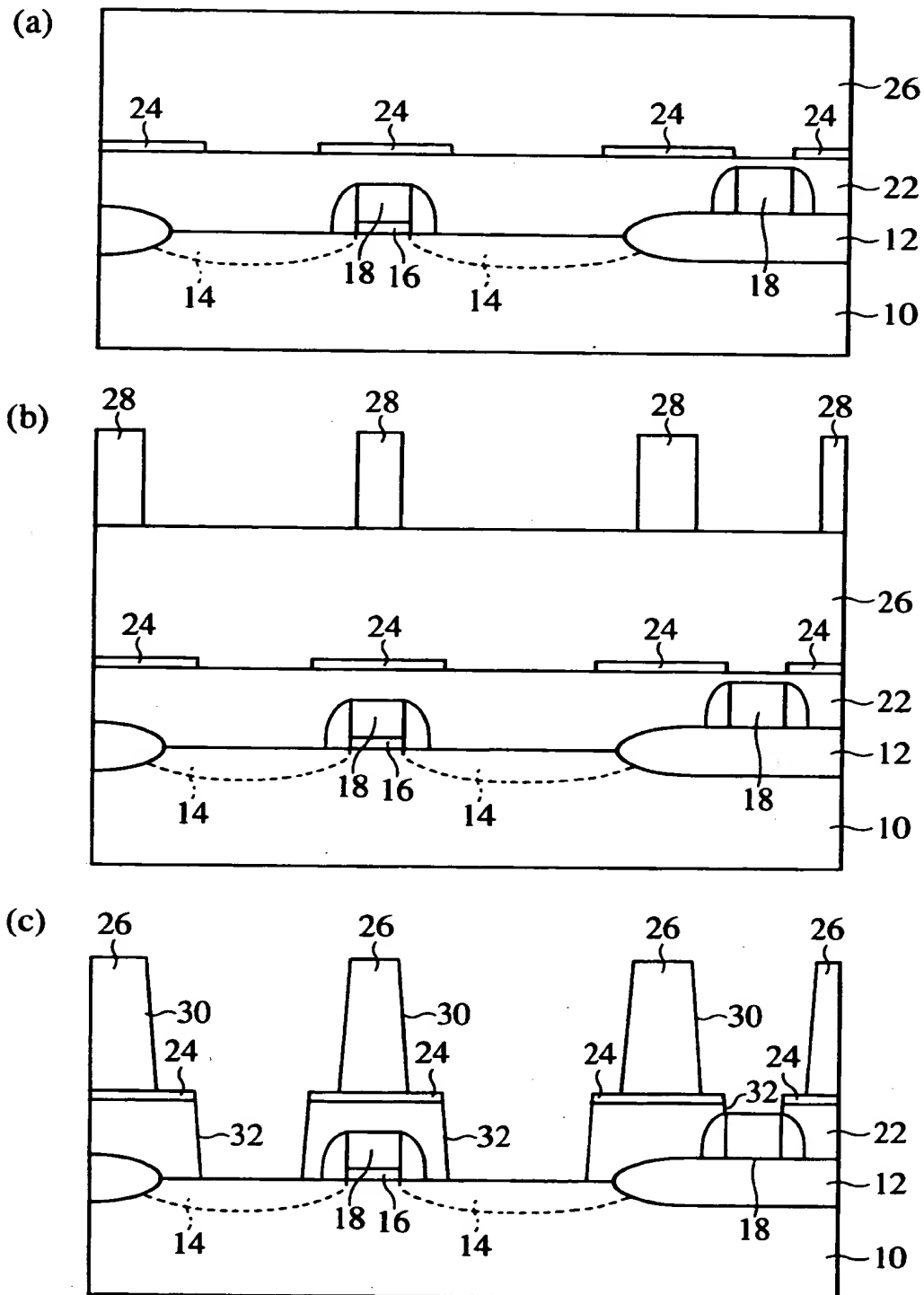
【図 3】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その1)



【図 4】

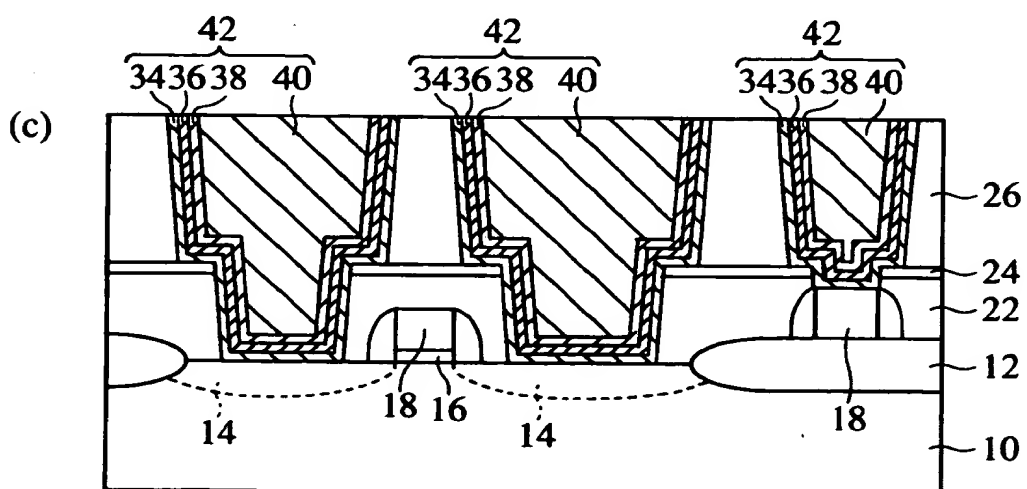
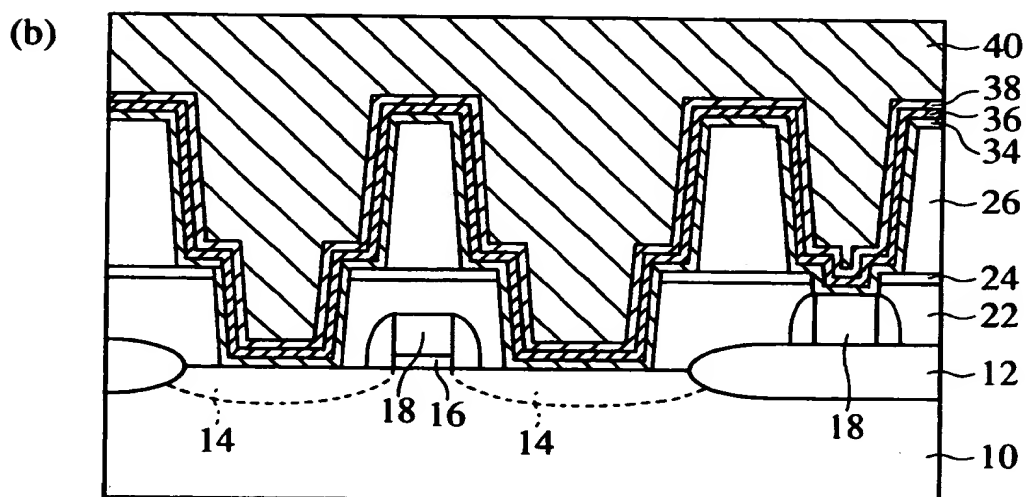
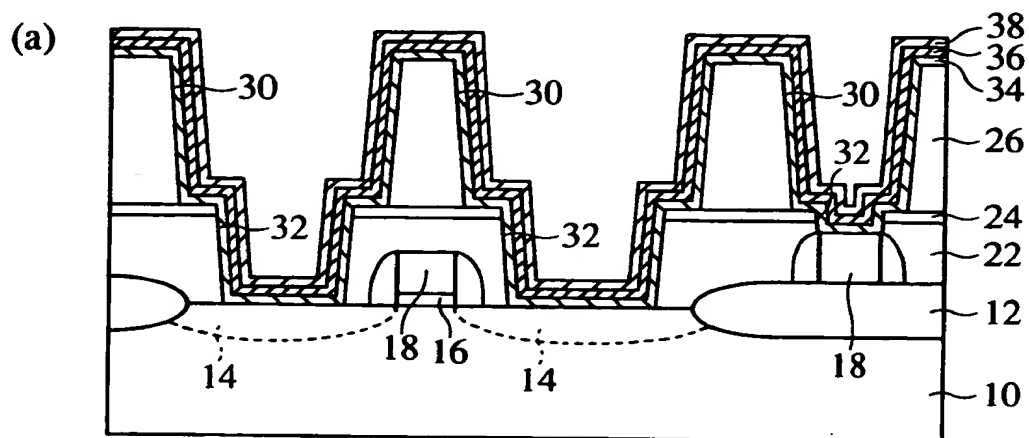
本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その2)



特平 1 1 - 2 4 0 8 6 6

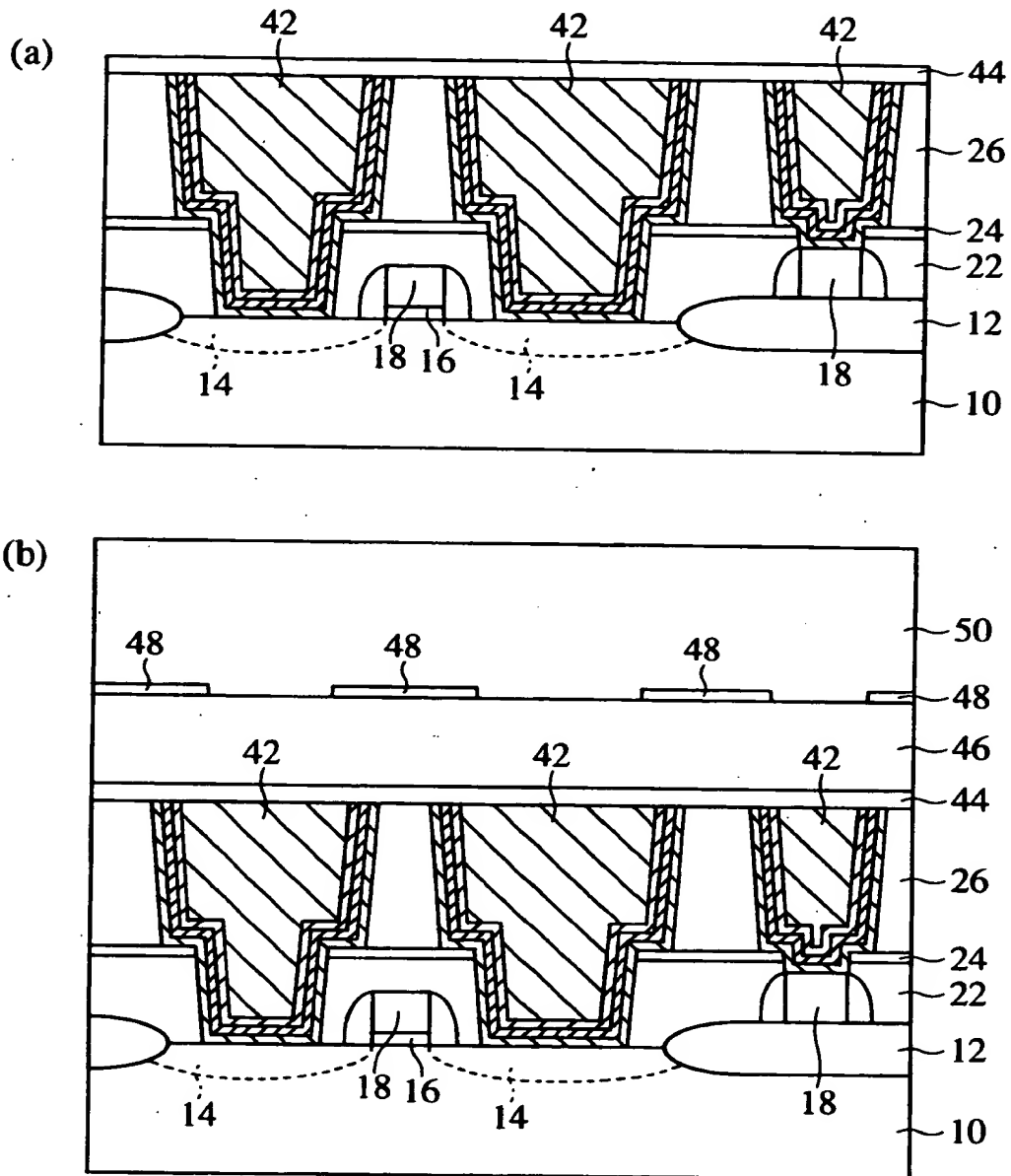
【図 5】

本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その3)



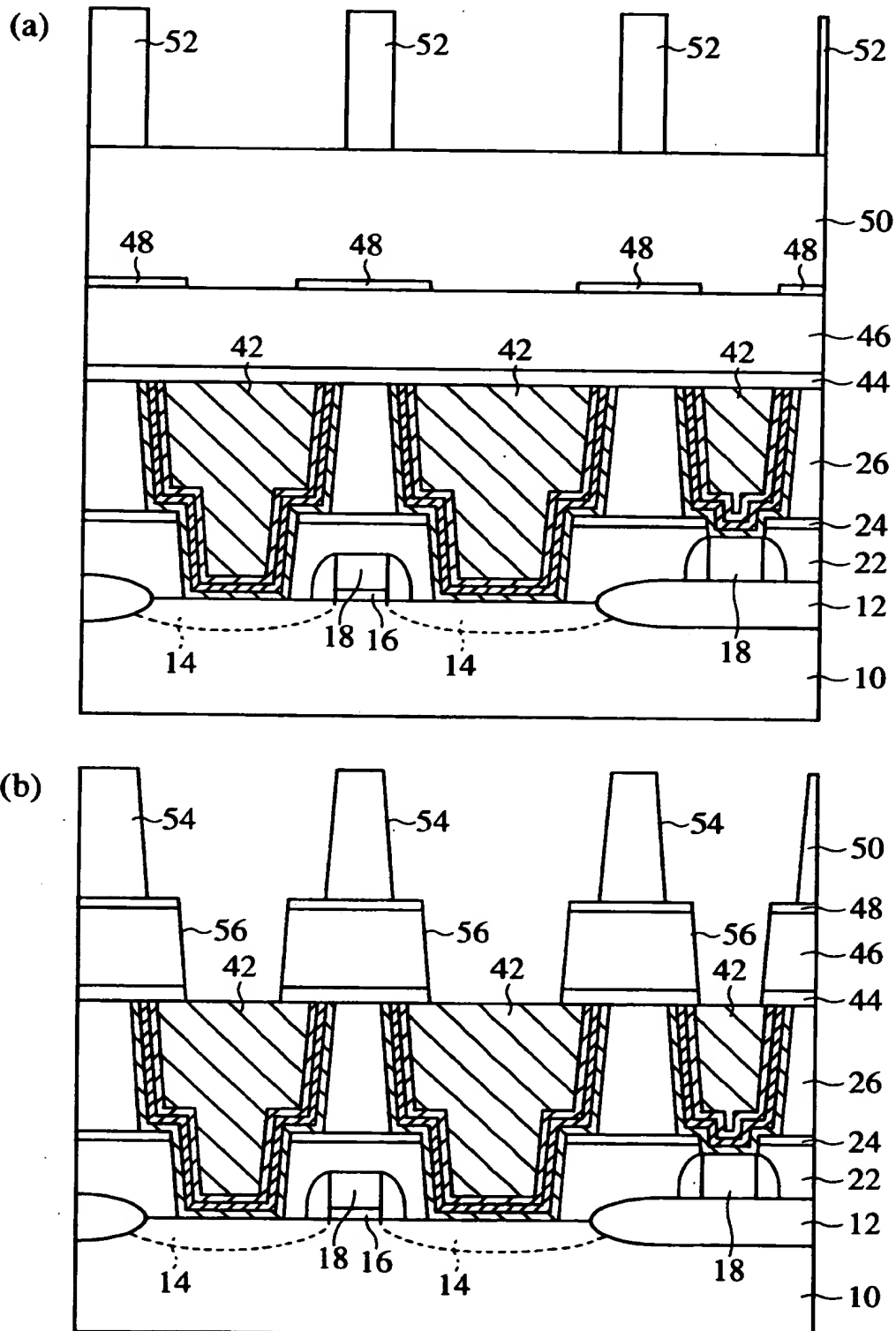
【図 6】

本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その4)



【図 7】

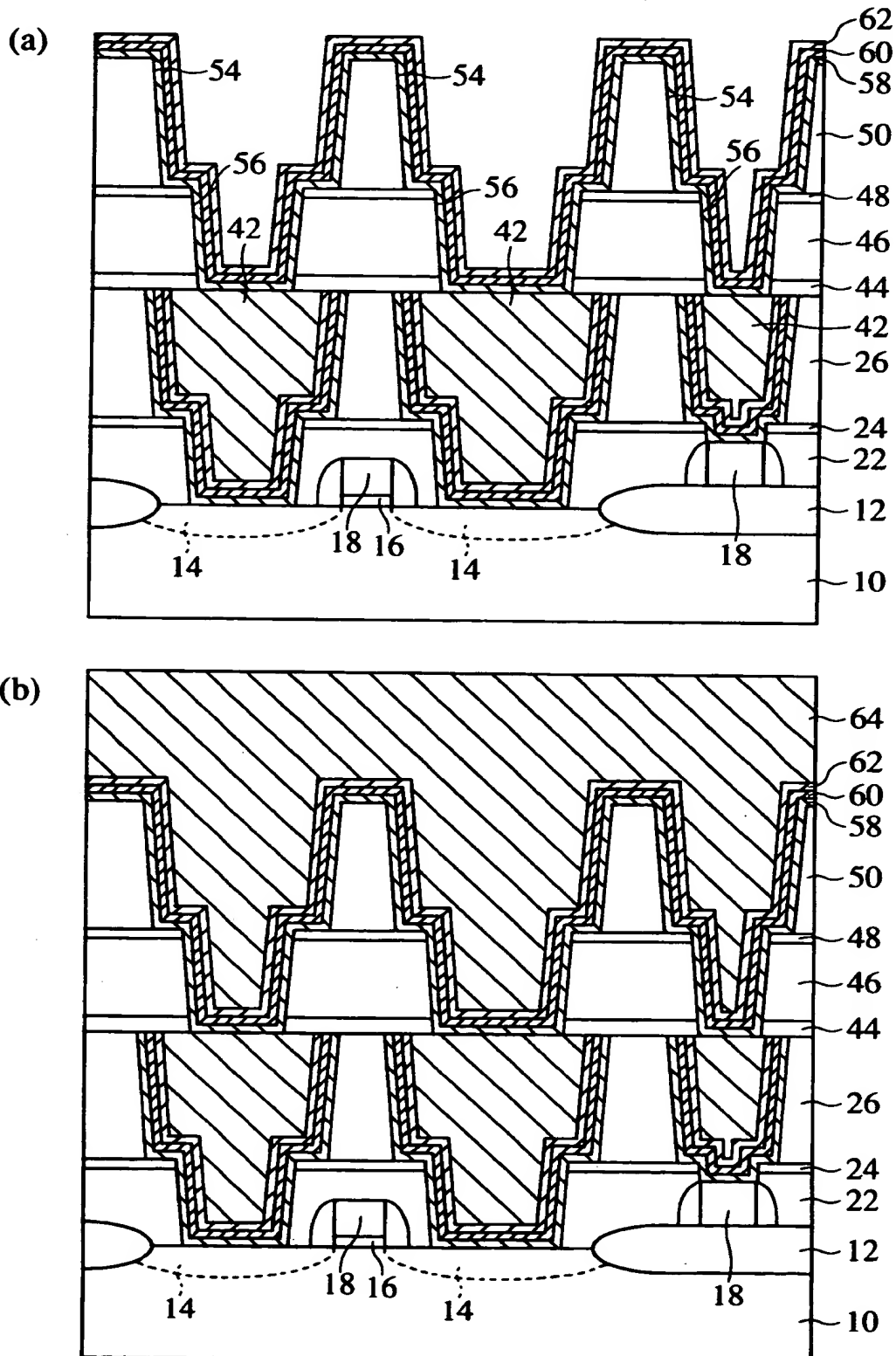
本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その5)



【図 8】

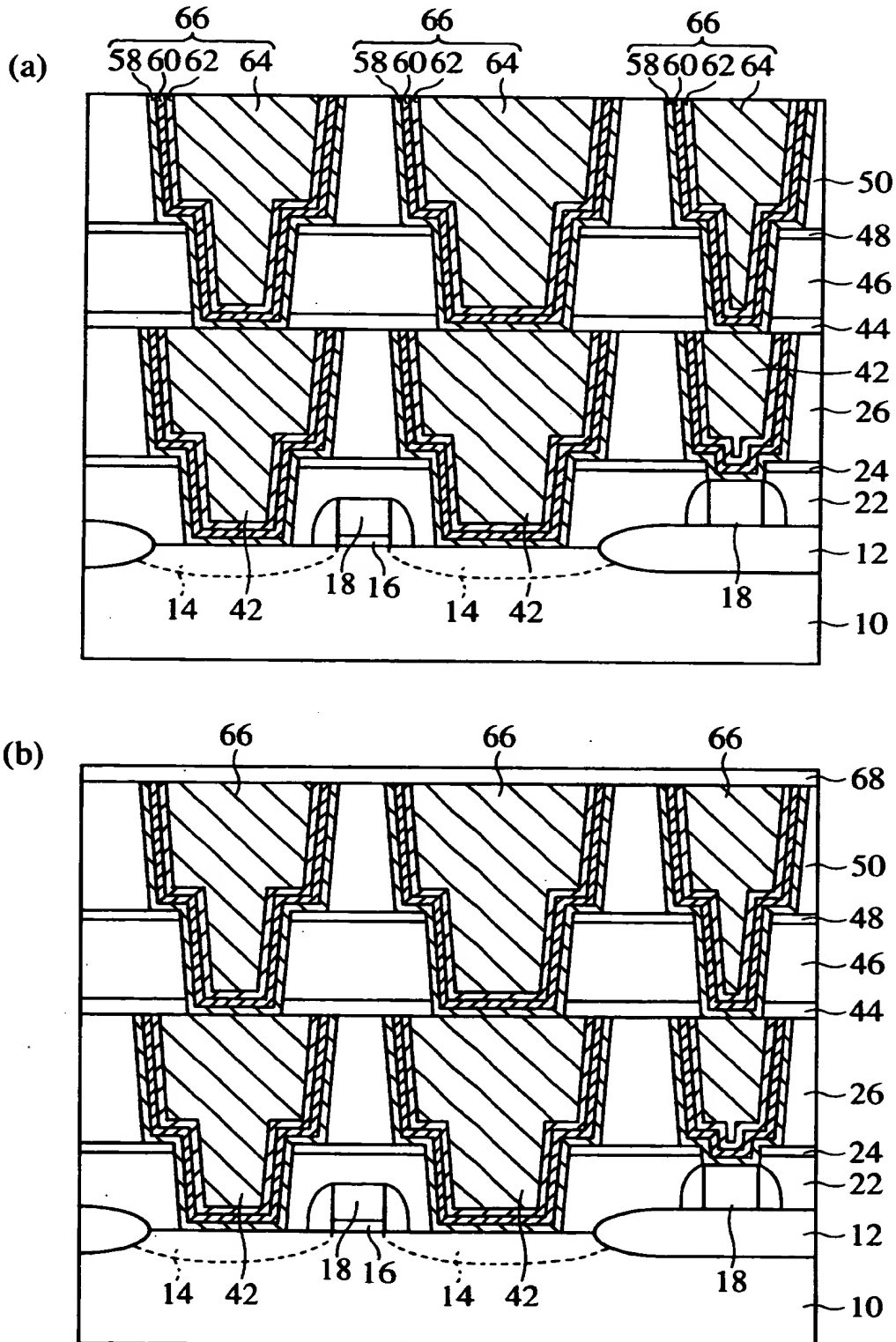


本発明の第1及び第2実施形態による半導体装置の製造方法を示す工程断面図(その6)



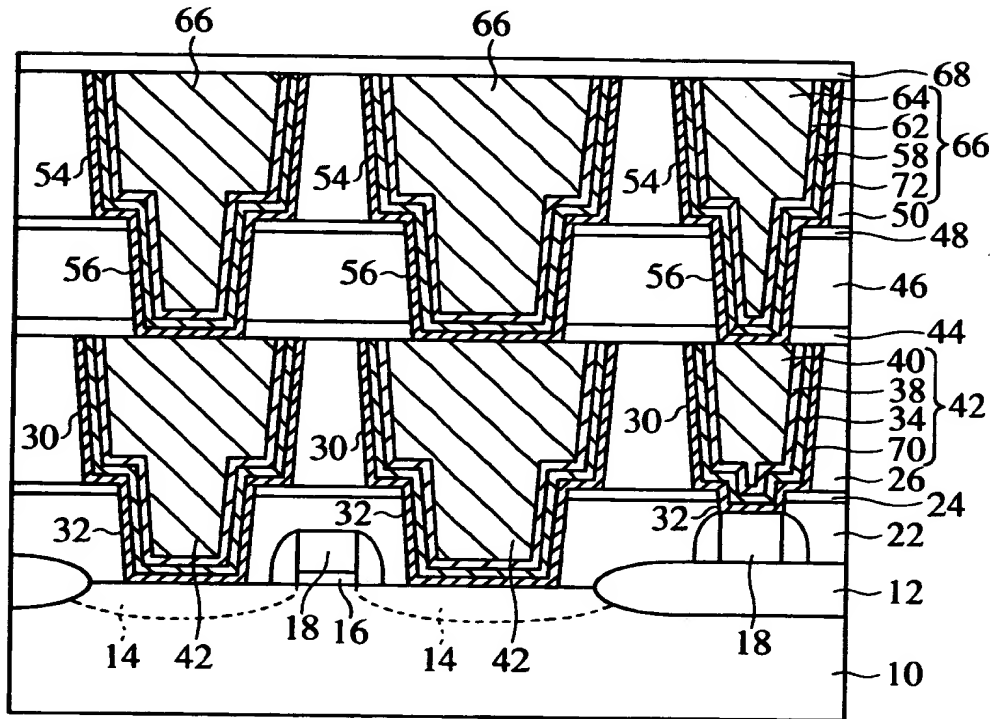
【図 9】

本発明の第1及び第2実施形態による半導体装置の製造方法を  
示す工程断面図(その7)



【図 1 0】

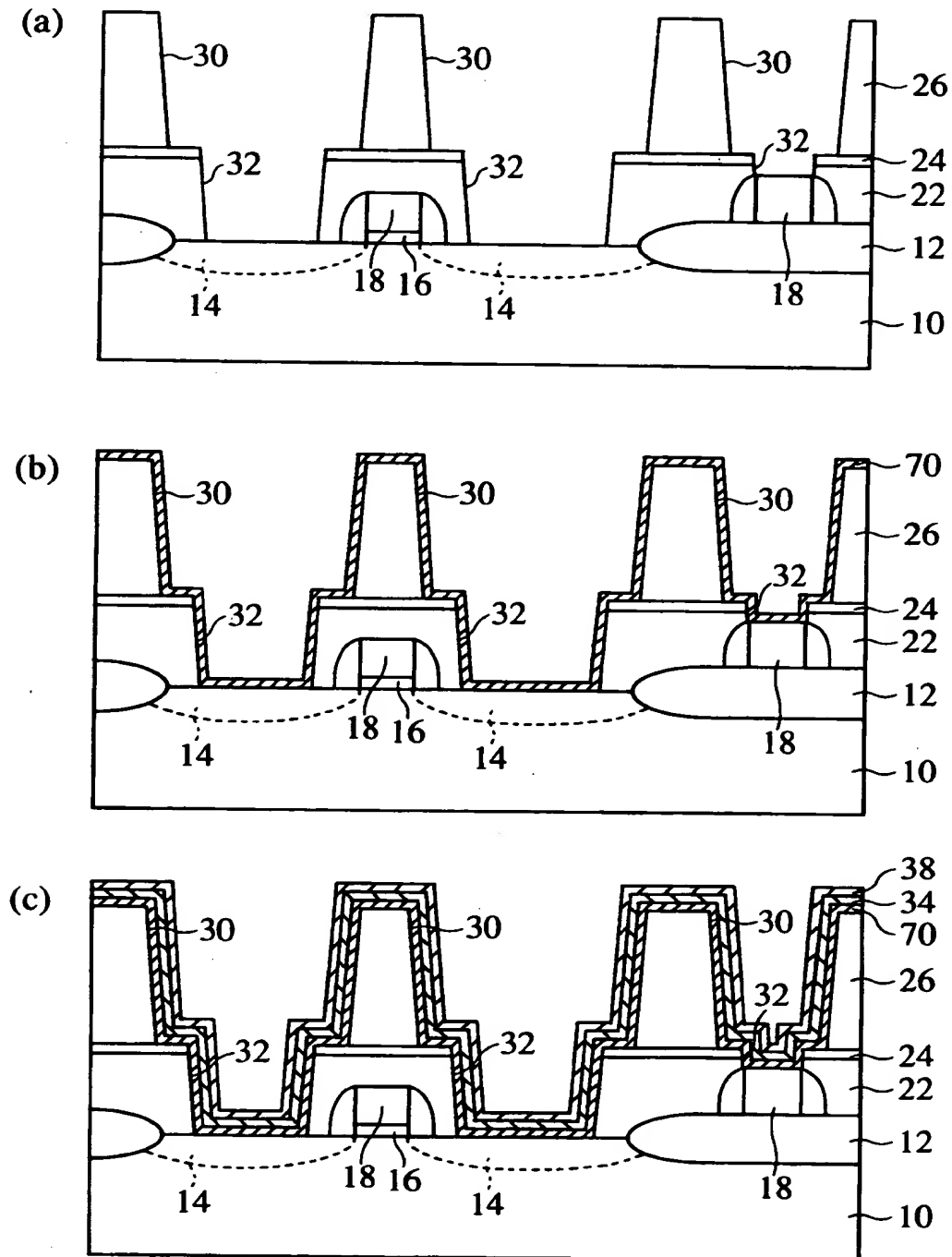
本発明の第3実施形態による半導体装置の構造を示す概略断面図



- |                   |             |
|-------------------|-------------|
| 10…シリコン基板         | 30、54…配線溝   |
| 12…素子分離膜          | 32、56…ビアホール |
| 14…ソース／ドレイン拡散層    | 34、58…バリア層  |
| 16…ゲート絶縁膜         | 38、62…シード層  |
| 18…ゲート電極          | 40、64…Cu膜   |
| 20…サイドウォール絶縁膜     | 42、66…配線層   |
| 22、26、46、50…層間絶縁膜 | 44、68…配線保護膜 |
| 24、48…ストッパ膜       | 70、72…密着層   |

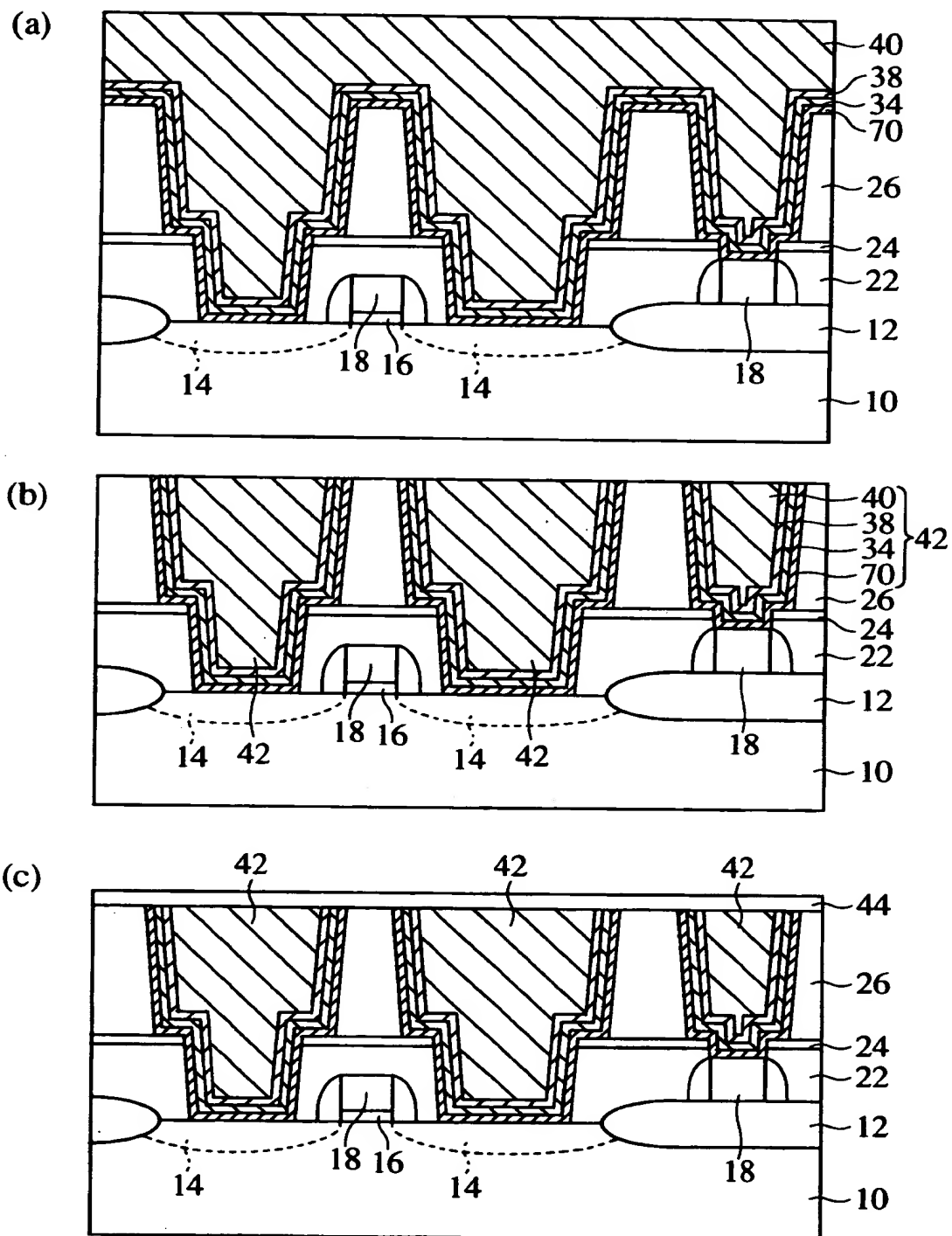
【図 1 1】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図(その1)



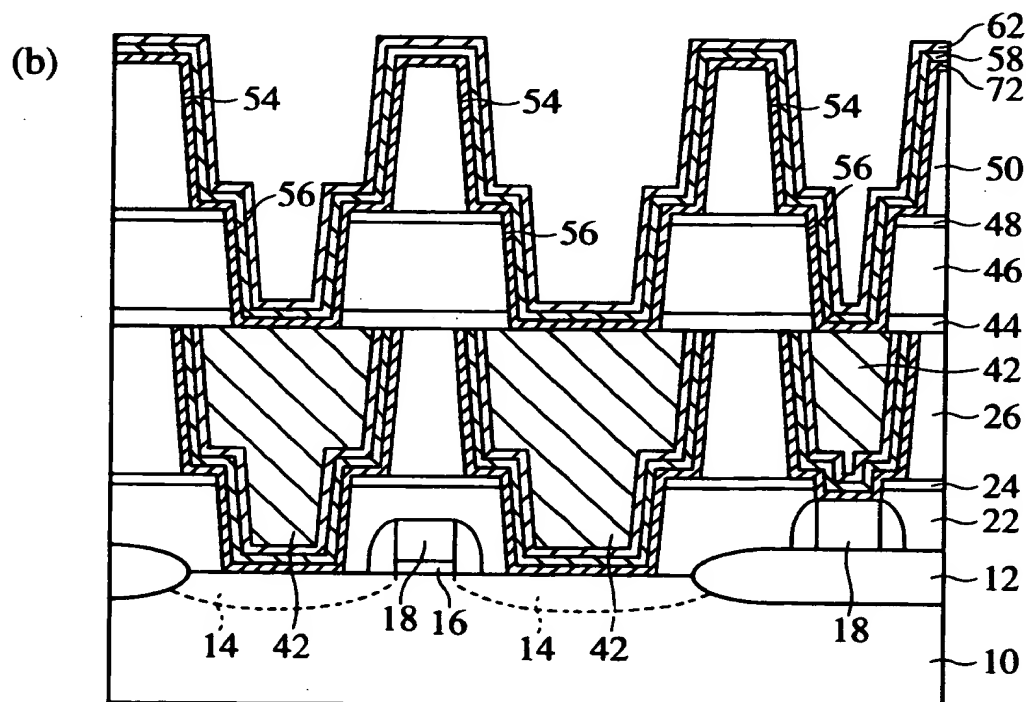
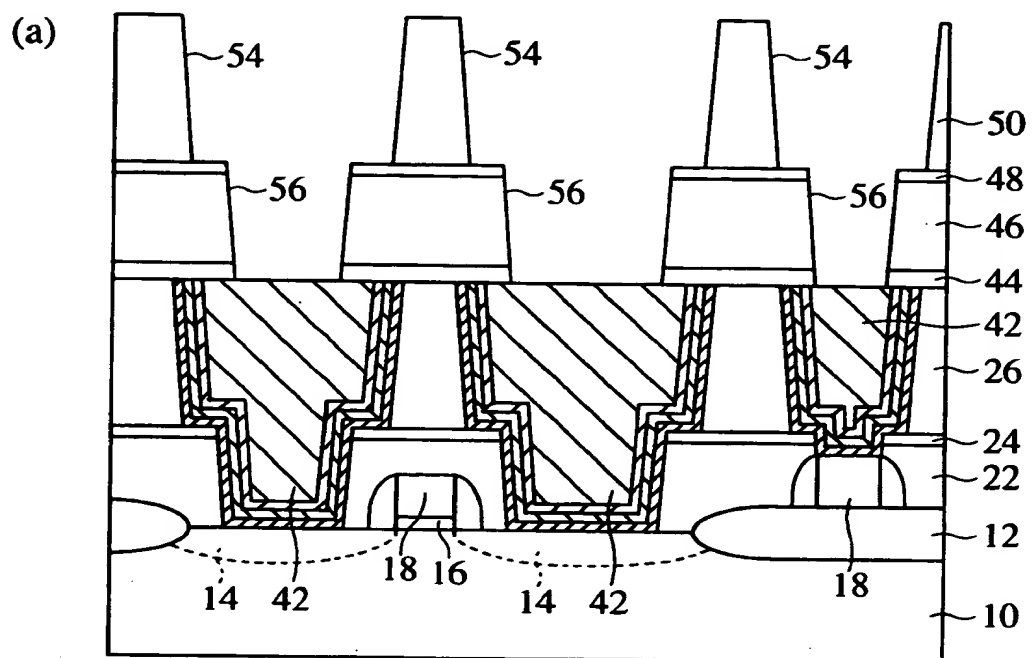
【図 1 2】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図(その2)



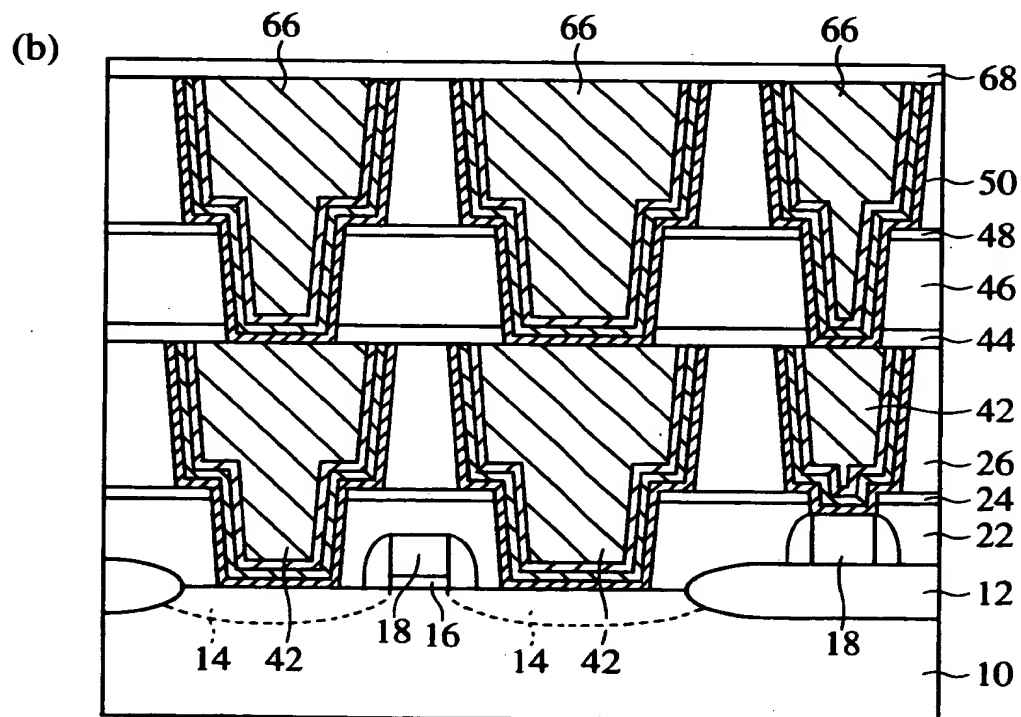
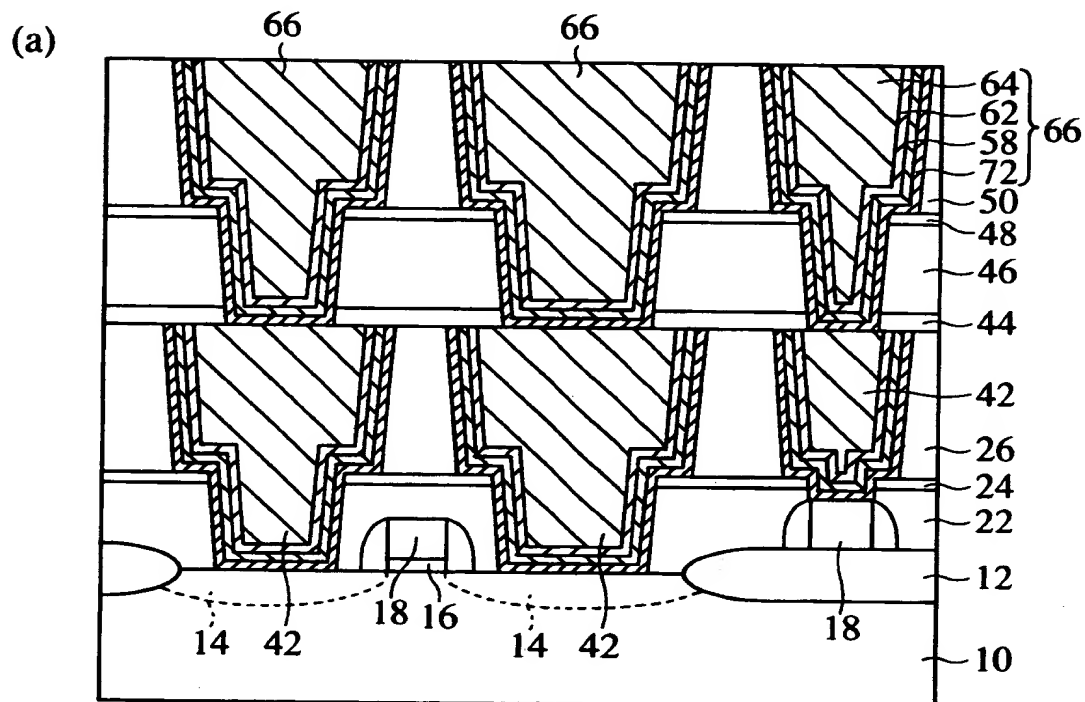
【図 13】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図(その3)



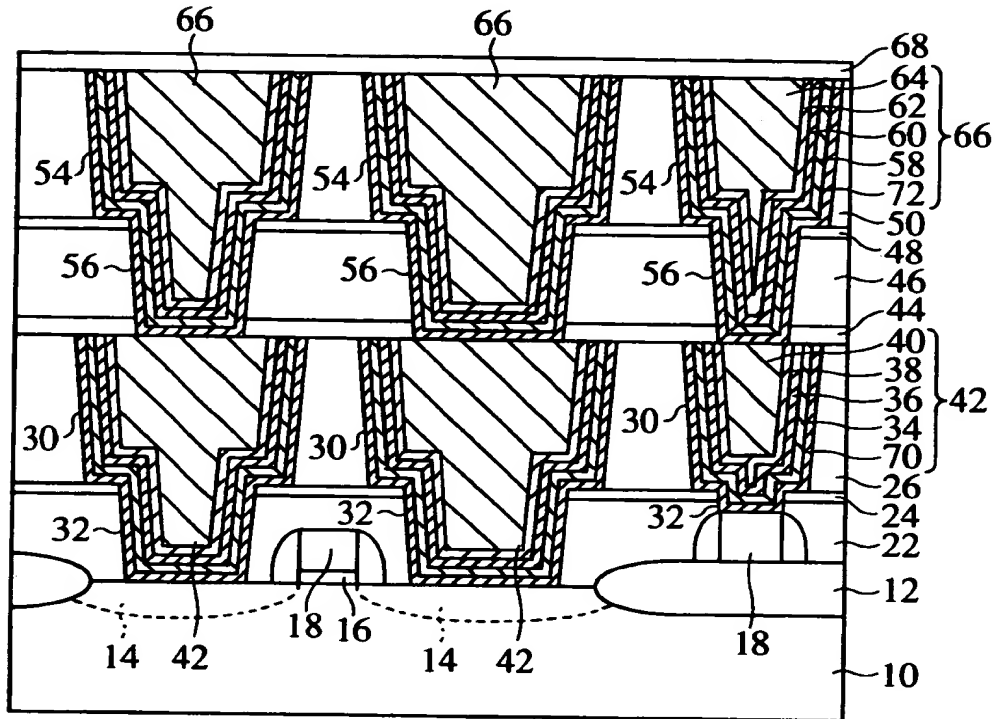
【図 1 4】

本発明の第3実施形態による半導体装置の製造方法を示す  
工程断面図(その4)



【図 15】

本発明の実施形態の変形例による半導体装置及び  
その製造方法を示す概略断面図

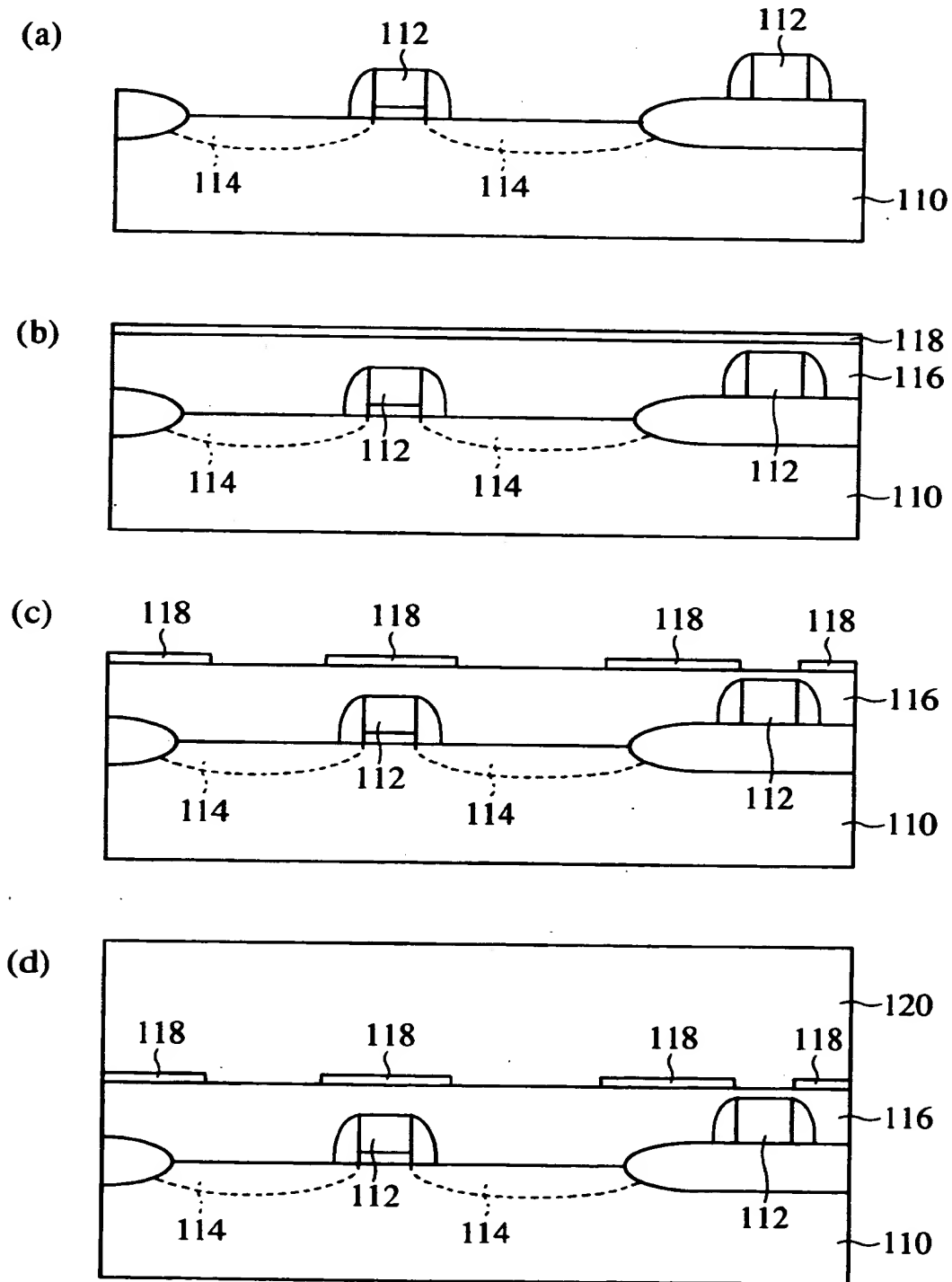


- |                   |             |
|-------------------|-------------|
| 10…シリコン基板         | 32、56…ビアホール |
| 12…素子分離膜          | 34、58…バリア層  |
| 14…ソース／ドレイン拡散層    | 36、60…密着層   |
| 16…ゲート絶縁膜         | 38、62…シード層  |
| 18…ゲート電極          | 40、64…Cu膜   |
| 20…サイドウォール絶縁膜     | 42、66…配線層   |
| 22、26、46、50…層間絶縁膜 | 44、68…配線保護膜 |
| 24、48…ストッパ膜       | 70、72…密着層   |
| 30、54…配線溝         |             |



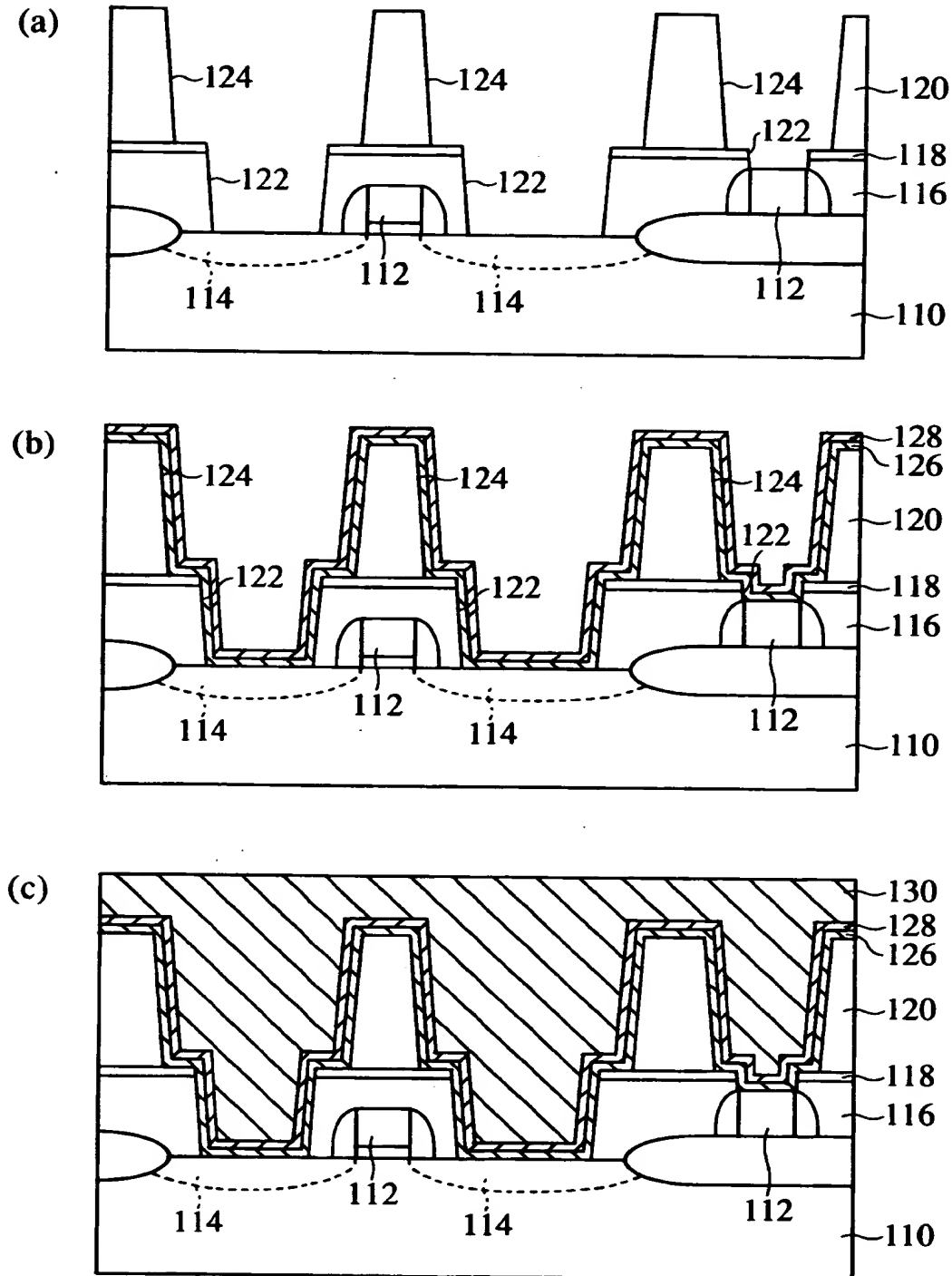
【図 16】

従来の半導体装置の構造及び製造方法を示す工程断面図  
(その1)



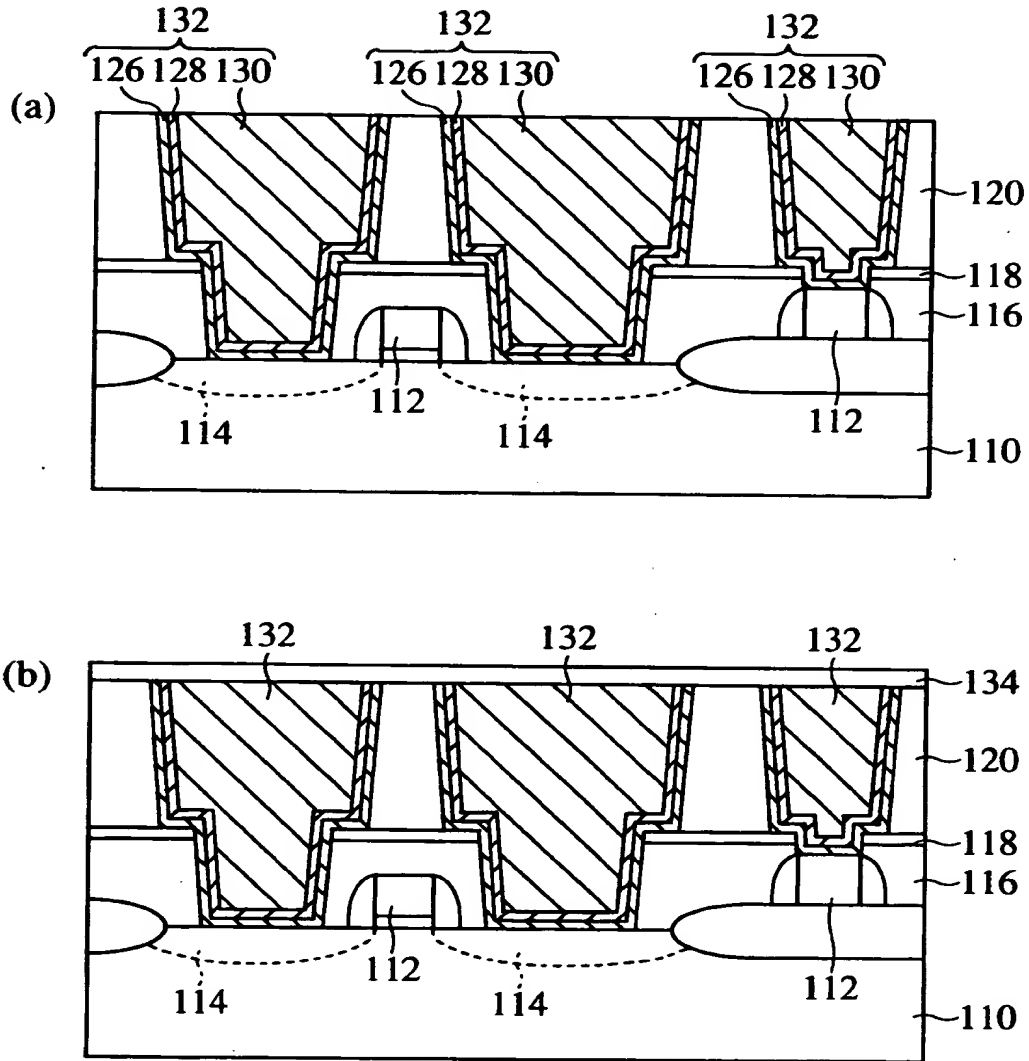
【図 1 7】

従来の半導体装置の構造及び製造方法を示す工程断面図  
(その2)



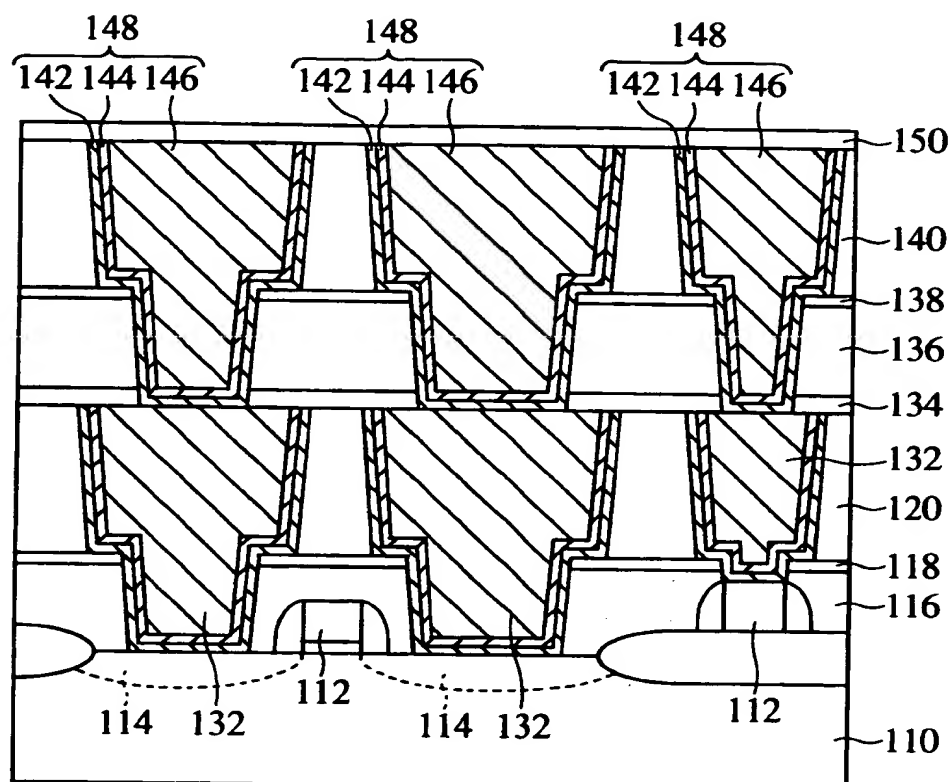
【図 1 8】

従来の半導体装置の構造及び製造方法を示す工程断面図  
(その3)



【図 1 9】

従来の半導体装置の構造及び製造方法を示す工程断面図  
(その4)



- 110…シリコン基板
- 112…ゲート電極
- 114…ソース／ドレイン拡散層
- 116、120、136、140…層間絶縁膜
- 118、138…ストッパ膜
- 122…ビアホール
- 124…配線溝
- 126、142…バリア層
- 128、144…シード層
- 130、146…Cu膜
- 132、148…配線層
- 134、150…配線保護膜

【書類名】 要約書

【要約】

【課題】 銅配線層を有する半導体装置及びその製造方法に関し、銅配線層とバリア層、或いは、バリア層と層間絶縁膜との密着性を高めうる半導体装置の構造及びその製造方法を提供する。

【解決手段】 下地基板 10 上に形成され、下地基板 10 に達する開口部 30、32 が形成された絶縁膜 22、24、26 と、開口部 30、32 の内壁及び底部に形成されたバリア層 34 と、バリア層 34 の表面に形成された Zr よりなる密着層 36 と、バリア層 34 及び密着層 36 が形成された開口部内 30、32 に埋め込まれた銅を主成分とする配線層 38、40 とを有するように半導体装置を構成する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社